

CML、PECL 及 LVDS 间的互相连接

王险峰 译

简介:

随着高速数据传输业务需求的增加，如何高质量的解决高速 IC 芯片间的互连变得越来越重要。低功耗及优异的噪声性能是要解决的主要问题。芯片间互连通常有三种接口：PECL (Positive Emitter-Coupled Logic)、LVDS (Low-Voltage Differential Signals)、CML (Current Mode Logic)。在设计高速数字系统时，人们常会遇到不同接口标准 IC 芯片间的连接，为解决这一问题，我们首先需要了解每一种接口标准的输入输出电路结构，由此可以知道如何进行直流偏置，接什么样的负载。该文章正是针对该问题展开讨论，作为例子，文中列举了一些 MAXIM 公司的产品。

1. PECL 接口

PECL 是有 ECL 标准发展而来，在 PECL 电路中省去了负电源，较 ECL 电路更方便使用。PECL 信号的摆幅相对 ECL 要小，这使得该逻辑更适合于高速数据的串性或并行连接。PECL 标准最初有 MOTOROLA 公司提出，经过很长一段时间才在电子工业界推广开。

1.1. PECL 接口输出结构

PECL 电路的输出结构如图 1 所示，包含一个差分对和一对射随器。输出射随器工作在正电源范围内，其电流始终存在，这样有利于提高开关速度。标准的输出负载是接 $50\ \Omega$ 至 $VCC-2V$ 的电平上，如图 1 中所示，在这种负载条件下，OUT+ 与 OUT- 的静态电平典型值为 $VCC-1.3V$ ，OUT+ 与 OUT- 输出电流为 $14mA$ 。PECL 结构的输出阻抗很低，典型值为 $4\sim 5\ \Omega$ ，这表明它有很强的驱动能力，但当负载与 PECL 的输出端之间有一段传输线时，低的阻抗造成的失配将导致信号时域波形的振铃现象。

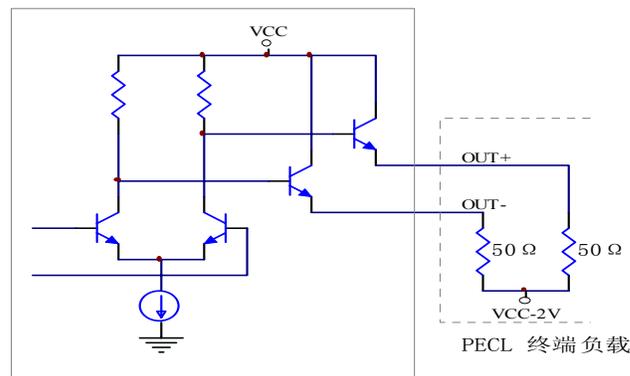


图1. PECL 输出结构

1.2. PECL 接口输入结构

PECL 输入结构如图 2 所示，它是一个具有高输入阻抗的差分对。该差分对共模输入电压需偏置到 $V_{CC}-1.3V$ ，这样允许的输入信号电平动态最大。MAXIM 公司的 PECL 接口有两种形式的输入结构，一种是在芯片上已加有偏置电路，如 MAX3867、MAX3675，另一种则需要外加直流偏置。

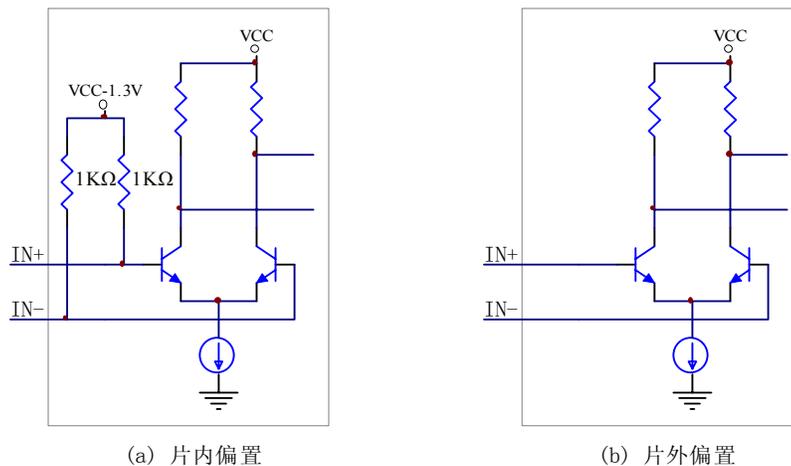


图2. PECL 输入电路结构

表一中给出了 MAXIM 公司 PECL 接口输入输出的具体电气指标。

表格1. PECL 输入输出指标

参数	条件	最小值	典型值	最大值	单位
输出高电平	$T_a=0^{\circ}C\sim 85^{\circ}C$	$V_{CC}-1.025$		$V_{CC}-0.88$	V
	$T_a=-40^{\circ}C$	$V_{CC}-1.085$		$V_{CC}-0.88$	V
输出低电平	$T_a=0^{\circ}C\sim 85^{\circ}C$	$V_{CC}-1.81$		$V_{CC}-1.62$	V
	$T_a=-40^{\circ}C$	$V_{CC}-1.83$		$V_{CC}-1.55$	V
输入高电平		$V_{CC}-1.16$		$V_{CC}-0.88$	V
输入低电平		$V_{CC}-1.81$		$V_{CC}-1.48$	V

在 5V 和 3.3V 供电系统中, PECL 接口均适用, 3.3V 供电系统中的 PECL 常被称作低压 PECL, 简称为 LVPECL。

在使用 PECL 电路时要注意加电源去耦电路, 以免受噪声的干扰, 同时输出采用交流还是直流耦合对负载网络的形式将会提出不同的需求。

2. CML 接口

CML 是所有高速数据接口形式中最简单的一种, 它的输入与输出是匹配好的, 从而减少了外围器件, 也更适合于在高的频段工作。它所提供的信号摆幅较小, 从而功耗更低。

2.1. CML 接口输出结构

CML 接口的输出电路形式是一个差分对, 该差分对的集电极电阻为 50Ω , 如图 3 中所示, 输出信号的高低电平切换是靠共发射极差分对的开关控制的, 差分对的发射极到地的恒流源典型值为 16mA, 假定 CML 输出负载为一 50Ω 上拉电阻, 则单端 CML 输出信号的摆幅为 $V_{CC}\sim V_{CC}-0.4V$ 。在这种情况下, 差分输出信号摆幅为 800mV, 共模电压为 $V_{CC}-0.2V$ 。若 CML

输出采用交流耦合至 $50\ \Omega$ 负载，这时的直流阻抗有集电极电阻决定，为 $50\ \Omega$ ，CML 输出共模电压变为 $V_{CC}-0.4V$ ，差分信号摆幅仍为 $800mV$ 。在交流和直流耦合情况下输出波形见图 4。

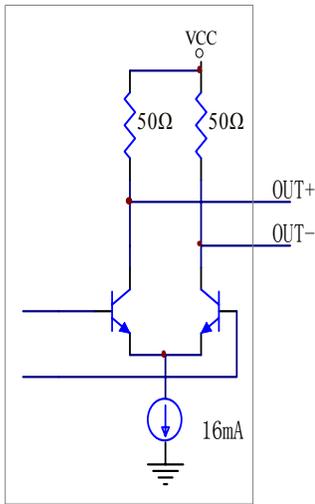


图3. CML 输出结构

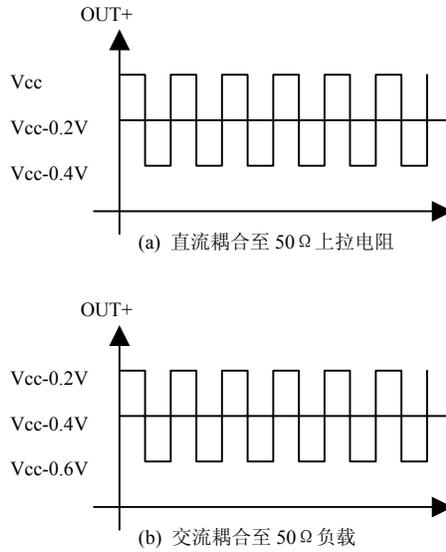


图4. CML 在不同负载时的输出波形

2.2. CML 接口输入结构

CML 输入结构有几个重要特点，这也使它在高速数据传输中成为常用的方式，如图 5 所示，MAXIM 公司的 CML 输入阻抗为 $50\ \Omega$ ，容易使用。输入晶体管作为射随器，后面驱动一差分放大器。

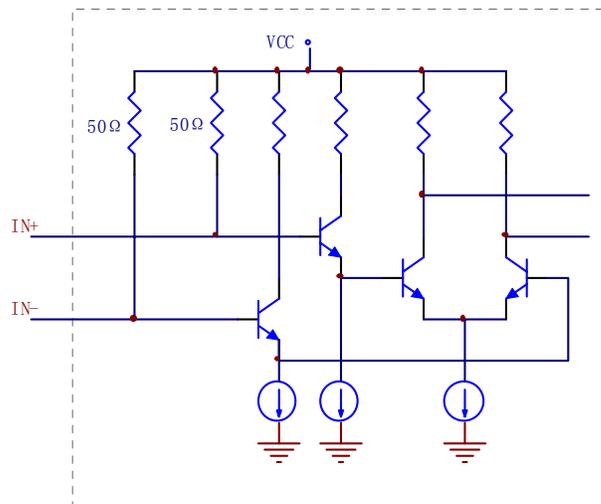


图5. CML 输入电路结构

表二以 MAX3831、MAX3832 为例列出了 CML 器件的输入输出技术参数

表格2. CML 输入和输出参数

参数	条件	最小	典型	最大	单位
差分输入电压		640	800	1000	mV
输出共模电压			$V_{CC}-0.2$		V
单端输入电压范围	V_{IS}	$V_{CC}-0.6$		$V_{CC}+0.2$	V
差分输入电压摆幅		400		1000	MVp-p

注: MAXIM 不同产品 CML 输入灵敏度不同, 如 MAX3875、MAX3876。

3. LVDS 接口

LVDS 用于低压差分信号点到点的传输, 该方式有三大优点, 从而使得它更具有吸引力。

A) LVDS 传输的信号摆幅小, 从而功耗低, 一般差分线上电流不超过 4mA, 负载阻抗为 100Ω。这一特征使它适合做并行数据传输。B) LVDS 信号摆幅小, 从而使得该结构可以在 2.4V 的低电压下工作。C) LVDS 输入单端信号电压可以从 0V 到 2.4V 变化, 单端信号摆幅为 400mV, 这样允许输入共模电压从 0.2V 到 2.2V 范围内变化, 也就是说 LVDS 允许收发两端地电势有 ±1V 的落差。

3.1. LVDS 接口输出结构

MAXIM 公司 LVDS 输出结构在低功耗和速度方面做了优化, 电路如图 6 所示。电路差分输出阻抗为 100Ω, 表三列出了其他一些指标。

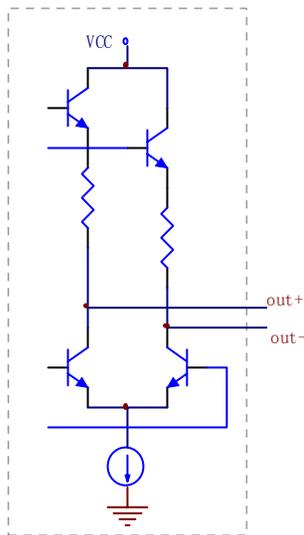


图6. LVDS 输出结构

3.2. LVDS 接口输入结构

LVDS 输入结构如图 7 所示, 输入差分阻抗为 100Ω, 为适应共模电压宽范围内的变化, 输入级还包括一个自动电平调整电路, 该电路将共模电压调整为一固定值, 该电路后面是一个 SCHMITT 触发器。SCHMITT 触发器为防止不稳定, 设计有一定的回滞特性, SCHMITT 后级是差分放大器。

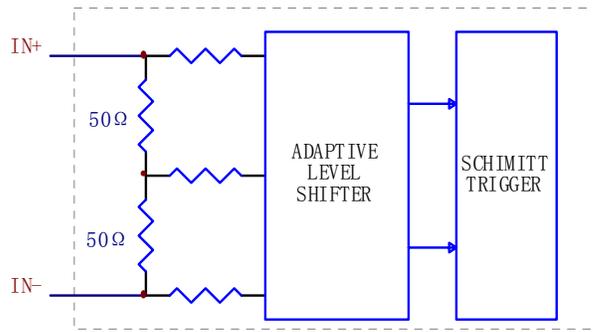


图7. LVDS 输入结构

表三总结了 MAXIM 公司 LVDS 输入与输出技术指标(MAX3831, MAX3832, MAX3880, MAX3890, MAX3885)

表格3. LVDS 输入与输出参数

参数	符号	条件	最小	典型	最大	单位
LVDS 输出高电压	V_{OH}				1.475	V
LVDS 输出低电压	V_{OL}		0.925			V
LVDS 输出差分电压	$ V_{od} $		250		400	mV
LVDS 在不同状态时 输出差分电压波动	$\Delta V_{od} $				25	mV
LVDS 输出电压偏移量			1.125		1.275	V
LVDS 在不同状态时 输出电压偏移量波动	$\Delta V_{os} $				25	mV
LVDS 输出差分阻抗			80		120	Ω
LVDS 输出电流		两差分端相接			12	mA
		差分单端到地短路			40	mA
LVDS 输入单端电压范围	V_i		0		2.4	V
LVDS 输入差分信号灵敏度	$ V_{id} $		100			mV
LVDS 输入共模电流		$V_{os} = 1.2V$ 时		350		μA
LVDS 回滞门限宽度				70		mV
LVDS 输入差分阻抗	R_{in}		85	100	115	Ω

4. 接口的连接

4.1. CML 到 CML 的连接

CML 到 CML 之间连接分两种情况，当收发两端的器件使用相同的电源时，CML 到 CML 可以采用直流耦合方式，这时不需加任何器件；当收发两端器件采用不同电源时，一般要考虑交流耦合，如图 8 中所示，注意这时选用的耦合电容要足够大，以避免在较长连 0 或连 1 情况出现时，接收端差分电压变小。

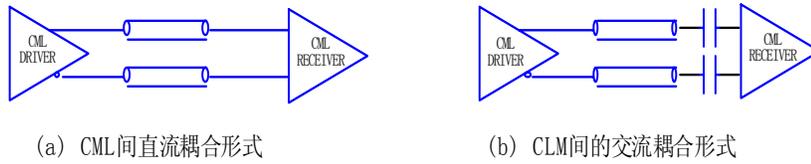


图8. CML 到 CML 之间的连接

4.2. PECL 到 PECL 的连接

PECL 到 PECL 的连接分直流耦合和交流耦合两种形式，下面分别介绍：

4.2.1. 直流耦合情况

PECL 负载一般考虑是通过 50Ω 接到 $V_{CC}-2V$ 的电源上，一般该电源是不存在的，因此通常的做法是利用电阻分压网络做等效电路，如图 9 中所示，该等效电路应满足如下方程：

$$V_{CC} - 2V = V_{CC} \frac{R2}{R1 + R2}$$

$$\frac{R1 * R2}{R1 + R2} = 50\Omega$$

解上面方程组，得到：

$$R1 = \frac{50 V_{CC}}{V_{CC} - 2V} \quad R2 = 25 V_{CC}$$

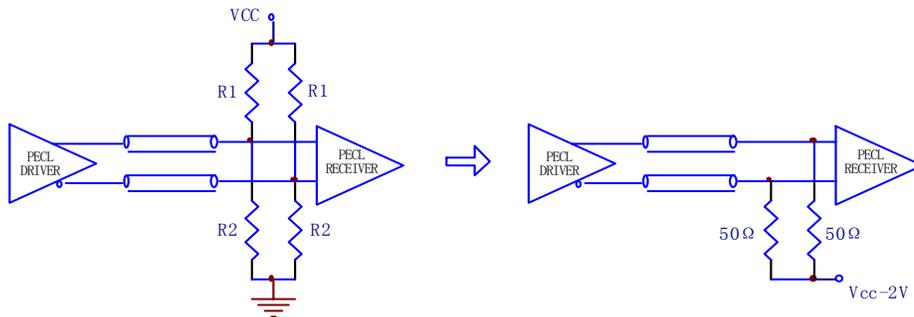


图9. 等效电路形式

在 3.3V 供电时，电阻按 5% 的精度选取， $R1$ 为 130Ω ， $R2$ 为 82Ω 。而在 5V 供电时， $R1$ 为 82Ω ， $R2$ 为 130Ω 。图 10 给出了这两种供电情况时的详细电路。

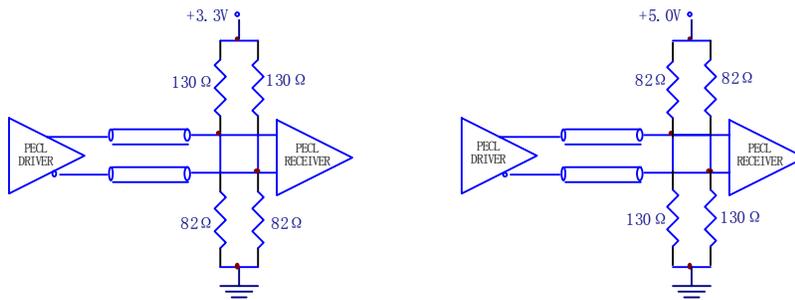


图10. PECL 电路间直流耦合

这种等效电路同时提供 50Ω 的交流阻抗以匹配传输线。然而并没有规定，PECL 的输出

阻抗要和传输线特征阻抗匹配。

4.2.2. 交流耦合情况

PECL 在交流耦合输出到 50 Ω 的终端负载时，要考虑 PECL 的输出端加一直流偏置电阻，如图 11 所示。

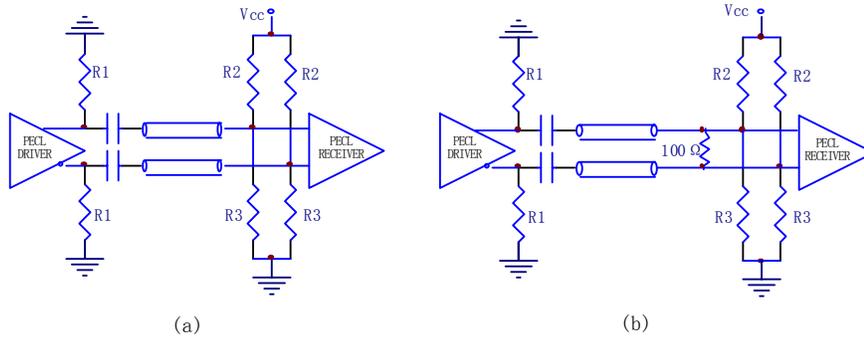


图11. PECL 电路间交流耦合

PECL 的输出共模电压需固定在 $V_{cc}-1.3V$ ，在选择直流偏置电阻时仅需该电阻能够提供 14mA 到地的通路，这样 $R1=(V_{cc}-1.3V)/14mA$ 。在 3.3V 供电时， $R1=142\ \Omega$ ，5V 供电时， $R1=270\ \Omega$ 。然而这种方式给出的交流负载阻抗低于 50 Ω，在实际应用中，3.3V 供电时， $R1$ 可以从 142 Ω 到 200 Ω 之间选取，5V 供电时， $R1$ 可以从 270 Ω 到 350 Ω 之间选取，原则是让输出波形达到最佳。

PECL 交流耦合另外有两种改进结构，一种是在信号通路上串接一个电阻，从而可以增大交流负载阻抗使之接近 50 Ω；另一种方式是在直流偏置通道上串接电感，以减少该偏置通道影响交流阻抗。

图 11 中 $R1$ 和 $R2$ 的选择应考虑如下几点：（1）PECL 输入直流偏压应固定在 $V_{cc}-1.3V$ ；（2）输入阻抗应等于传输线阻抗；（3）低功耗；（4）外围器件少。最常用的就是图 11 中的两种。在图 11（a）中， $R1$ 和 $R2$ 的选择应满足下面方程组：

$$\frac{R3 * V_{cc}}{R2 + R3} = V_{cc} - 1.3 V$$

$$R2 // R3 = 50\ \Omega$$

求解得到：

$$R2 = 82\ \Omega \text{ and } R3 = 130\ \Omega \quad + 3.3\ v \text{ 供电时}$$

$$R2 = 68\ \Omega \text{ and } R3 = 180\ \Omega \quad + 5\ v \text{ 供电时}$$

图 11（a）有一个缺点就是它的功耗较大，当对功耗有要求时，可以采用图 11（b）所示的结构，在这种情况下， $R2$ 和 $R3$ 需满足如下方程组：

$$\frac{R3 * V_{cc}}{R2 + R3} = V_{cc} - 1.3 V$$

$$R2 // R3 // 50\ \Omega \approx 50\ \Omega$$

$R2$ 和 $R3$ 通常选：

$$R2 = 2.7\ K\Omega \text{ and } R3 = 4.3\ K\Omega \quad + 3.3\ v \text{ 供电时}$$

$$R2 = 2.7\ K\Omega \text{ and } R3 = 7.8\ K\Omega \quad + 5\ v \text{ 供电时}$$

4.3. LVDS 到 LVDS 的连接

因为 LVDS 的输入与输出都是内匹配的，所以 LVDS 间的连接可以如图 12 中那样直接连接。

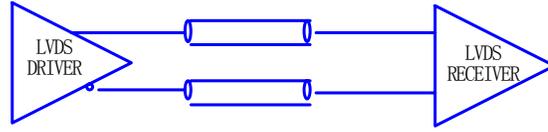


图12. LVDS 间连接

5. LVDS, PECL, CML 间的互连

在下面的讨论中，PECL 按 3.3V 供电考虑，即 LVPECL 情况。

5.1. LVPECL 到 CML 的连接

5.1.1. 交流耦合情况

LVDS 到 CML 的一种连接方式就是交流耦合方式，如图 13 所示。在 LVPECL 的两个输出端各加一个到地的偏置电阻，电阻值选取范围可以从 $142\ \Omega$ 到 $200\ \Omega$ 。如果 LVPECL 的输出信号摆幅大于 CML 的接收范围，可以在信号通道上串一个 $25\ \Omega$ 的电阻，这时 CML 输入端的电压摆幅变为原来的 0.67 倍。

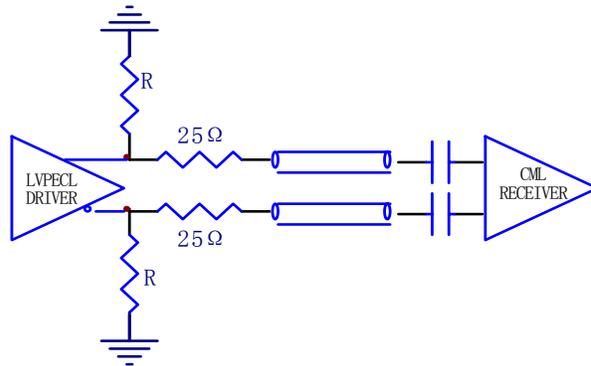


图13. LVPECL 到 CML 的交流耦合连接方式

5.1.2. 直流耦合情况

在 LVPECL 到 CML 的直流耦合连接方式中需要一个电平转换网络，如图 14 中所示。该电平转换网络的作用是匹配 LVPECL 的输出与 CML 的输入共模电压。一般要求该电平转换网络引入的损耗要小，以保证 LVPECL 的输出经过衰减后仍能满足 CML 输入灵敏度的要求；另外还要求自 LVPECL 端看到的负载阻抗近似为 $50\ \Omega$ 。下面以 LVPECL 驱动 MAX3875 的 CML 输入为例说明该电平转换网络。

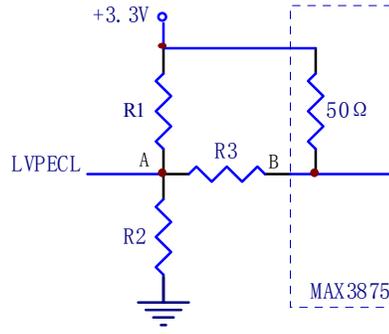


图14. LVPECL 到 CML (MAX3875) 间直流耦合时电阻网络

下面是该电阻网络必须满足的方程:

$$V_A = V_{CC} - 2.0 \text{ V} = \frac{R_2 \cdot V_{CC}}{R_2 + R_1 // (R_3 + 50 \Omega)} \quad (1)$$

$$V_B = V_{CC} - 0.2 \text{ V} = \frac{V_{CC} \cdot R_3 + 50 \Omega \cdot (V_{CC} - 1.3 \text{ V})}{R_3 + 50 \Omega} \quad (2)$$

$$Z_{in} = R_1 // R_2 // (R_3 + 50 \Omega) = 50 \Omega \quad (3)$$

$$\text{Gain} = \frac{50}{R_3 + 50} \geq 0.125 \quad (4)$$

注: 假定 LVPECL 的最小差分输出摆幅为 400mV, 而 MAX3875 的输入灵敏度为 50mV, 这样电阻网络的最小增益必须大于 50mV/400mV=0.125

求解上面的方程组, 我们得到 $R_1=182 \Omega$, $R_2=82 \Omega$, $R_3=290 \Omega$, $V_A=1.35\text{V}$, $V_B=3.11\text{V}$, $\text{Gain}=0.147$, $Z_{in}=49 \Omega$ 。把 LVPECL 输出与 MAX3875 输入连接好, 实测得: $V_A=2\text{V}$, $V_B=3.13\text{V}$ 。

LVPECL 到 MAX3875 的直流耦合结构如图 15 所示, 对于其它的 CML 输入, 最小共模电压和灵敏度可能不同, 读者可根据上面的考虑计算所需的电阻值。

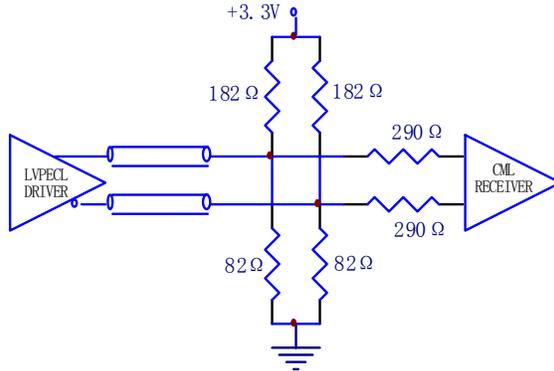


图15. LVPECL 到 CML (MAX3875) 的直流耦合结构

5.2. CML 到 LVPECL 的连接

图 16 给出了 CML 到 LVPECL 三种交流耦合解决方案。

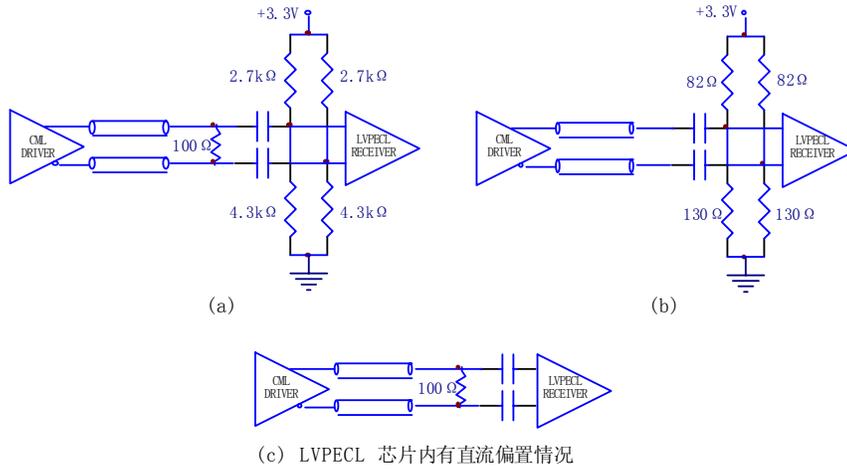


图16. CML 到 LVPECL 的交流耦合结构

5.3. LVPECL 到 LVDS 的连接

5.3.1 直流耦合情况

LVPECL 到 LVDS 的直流耦合结构需要一个电阻网络，如图 17 中所示，设计该网络时有这样几点必须考虑：首先，我们知道当负载是 50Ω 接到 $V_{CC}-2V$ 时，LVPECL 的输出性能是最优的，因此我们考虑该电阻网络应该与最优负载等效；然后我们还要考虑该电阻网络引入的衰减不应太大，LVPECL 输出信号经衰减后仍能落在 LVDS 的有效输入范围内。注意 LVDS 的输入差分阻抗为 100Ω ，或者每个单端到虚拟地为 50Ω ，该阻抗不提供直流通路，这里意味着 LVDS 输入交流阻抗与直流阻抗不等。LVPECL 到 LVDS 的直流耦合所需的电阻网络需满足下面方程组：

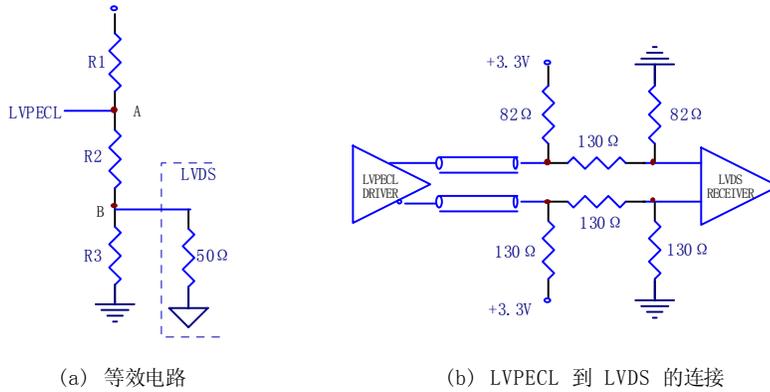


图17. LVPECL 到 LVDS 的直流耦合结构

$$V_A = V_{CC} - 2.0 \text{ V} = V_{CC} \cdot \frac{R_2 + R_3}{R_1 + R_2 + R_3} \quad (1)$$

$$R_{AC} = R_1 // (R_2 + R_3 // 50 \Omega) = 50 \Omega \quad (2)$$

$$R_{DC} = R_1 // (R_2 + R_3) \approx 50 \Omega \quad (3)$$

$$\text{Gain} = \frac{R_3 // 50 \Omega}{R_2 + R_3 // 50 \Omega} \geq 0.33 \quad (4)$$

考虑 $V_{cc}=0.3V$ 情况，解上面的方程组得到： $R_1=182\ \Omega$ ， $R_2=48\ \Omega$ ， $R_3=48\ \Omega$ ， $V_A=1.14V$ ， $R_{AC}=51.8\ \Omega$ ， $R_{DC}=62.8\ \Omega$ ， $Gain=0.337$ 。电路连接好，实测得 $V_A=2.1V$ ， $V_B=1.06V$ 。假定 LVPECL 单端最小输出电压为 $300mV$ ，在 LVDS 的输入端可达到 $100mV$ ，能够满足其灵敏度要求。考虑信号较大时，如果 LVPECL 的最大输出为 $1V$ ，LVDS 的单端输入电压则为 $337mV$ ，同样可以满足指标要求。

5.3.2 交流耦合情况

LVPECL 到 LVDS 的交流耦合结构如图 18 所示，LVPECL 的输出端到地需加直流偏置电阻（ $142\ \Omega$ 到 $200\ \Omega$ ），同时信号通道上一定要串接 $50\ \Omega$ 电阻，以提供一定衰减。LVDS 的输入端到地需加 $5K\ \Omega$ 电阻，以提供近似 $0.86V$ 的共模电压。

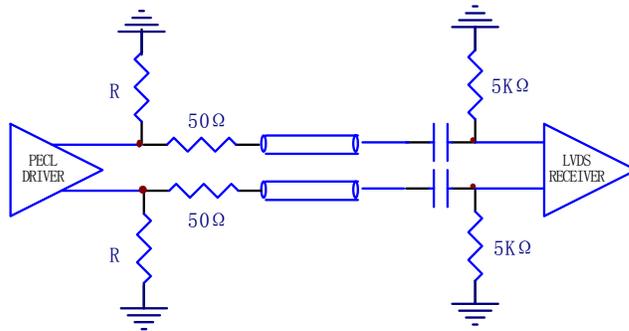


图18. LVPECL 到 LVDS 的交流耦合结构

5.4. LVDS 到 LVPECL 的连接

5.4.1. 直流耦合情况

LVDS 到 LVPECL 的直流耦合结构中需要加一个电阻网络，如图 19 所示，该电阻网络完成直流电平的转换。LVDS 输出电平为 $1.2V$ ，LVPECL 的输入电平为 $V_{cc}-1.3V$ 。LVDS 的输出是以地为基准，而 LVPECL 的输入是以电源为基准，这要求考虑电阻网络时应注意 LVDS 的输出电位不应对供电电源敏感；另一个问题是需要在功耗和速度方面折中考虑，如果电阻值取的较小，可以允许电路在更高的速度下工作，但功耗较大，LVDS 的输出性能容易受电源的波动影响；还有一个问题就是要考虑电阻网络与传输线的匹配。电阻值可以通过下面的方程导出。

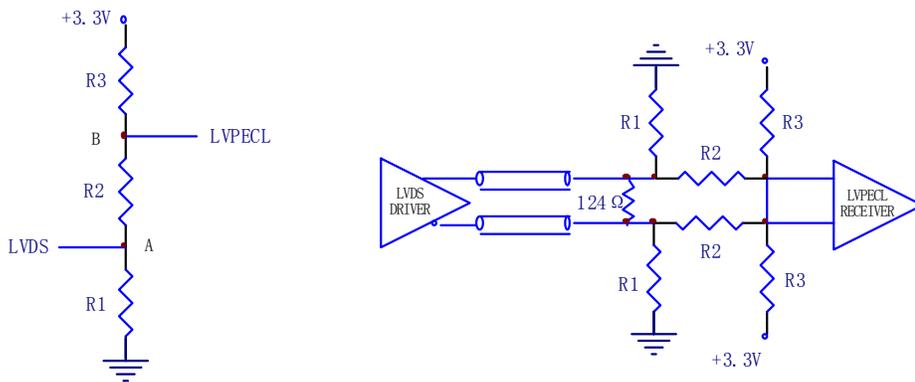


图19. LVDS 到 LVPECL 的直流耦合结构

$$V_A = V_{CC} \frac{R1}{R1 + R2 + R3} = 1.2 \text{ V} \quad (1)$$

$$V_B = V_{CC} \frac{R1 + R2}{R1 + R2 + R3} = V_{CC} - 1.3 \text{ V} \quad (2)$$

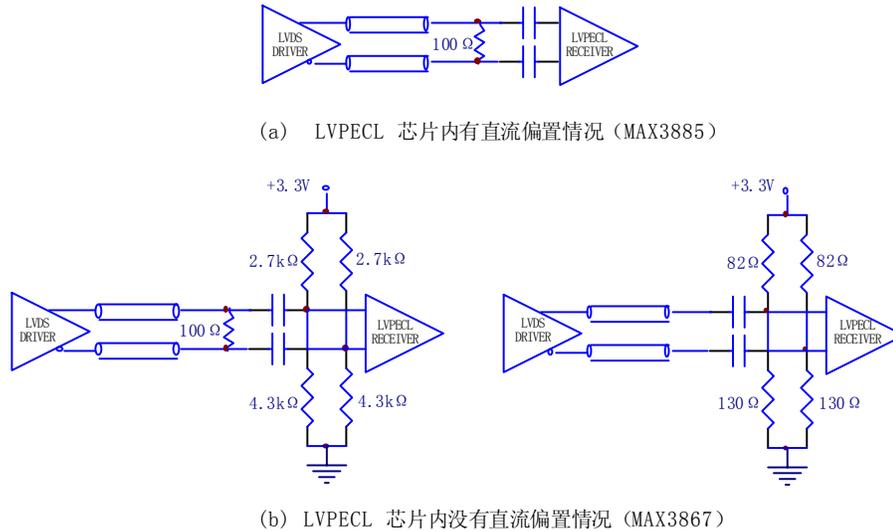
$$R_{IN} = \frac{R1 \cdot (R2 + R3)}{R1 + R2 + R3} // 62 \Omega = 50 \Omega \quad (3)$$

$$\text{Gain} = \frac{R3}{R2 + R3} \quad (4)$$

在 V_{CC} 电压为 3.3V 时，解上面的方程得： $R1=374 \Omega$ ， $R2=249 \Omega$ ， $R3=402 \Omega$ ， $V_A=1.2\text{V}$ ， $V_B=2.0\text{V}$ ， $R_{IN}=49 \Omega$ ， $\text{Gain}=0.62$ 。LVDS 的最小差分输出信号摆幅为 500mV，在上面结构中加到 LVPECL 输入端的信号摆幅变为 310mV，该幅度低于 LVPECL 的输入标准，但对于绝大多数 MAXIM 公司的 LVPECL 电路来说，该信号幅度是足够的，原因是 MAXIM 公司 LVPECL 输入端有较高的增益。在实际应用中，读者可根据器件的实际性能作出自己的判断。

5.4.2 交流耦合情况

LVDS 到 LVPECL 的交流耦合结构较为简单，图 20 给出了两个例子。



(a) LVPECL 芯片内有直流偏置情况 (MAX3885)
 (b) LVPECL 芯片内没有直流偏置情况 (MAX3867)
 图20. LVDS 到 LVPECL 的交流耦合结构

5.5. CML 和 LVDS 间互连

一般情况下，在光传输系统中没有 CML 和 LVDS 的互连问题，因为 LVDS 通常用作并联数据的传输，数据速率为 155MHz，622MHz 或 1.25GHz，而 CML 常用来做串行数据的传输，数据速率为 2.5GHz 或 10GHz。不管怎样，作为特殊情况，在这里给出了它们间互连的交流解决方案，如图 21 和图 22。需注意 CML 的输出信号摆幅应落在 LVDS 的有效工作范围内。

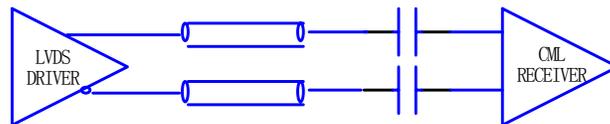


图21. LVDS 到 CML 的交流耦合结构

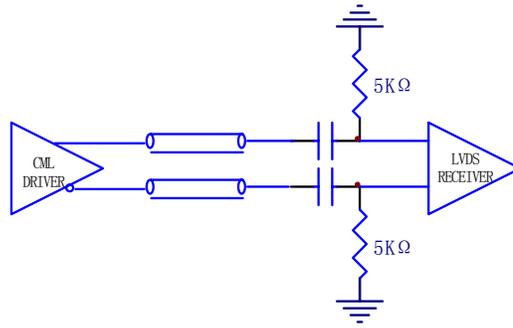


图22. CML到LVDS的交流耦合结构

6. 如何选择交流耦合电容

当利用交流耦合结构时，耦合电容的选取应特别小心，该电容与负载阻抗一起构成高通滤波结构，非归零的连0或连1出现时，电容会造成接收端电压下降，过零点偏移，通过下面的图形 23 可以很好地理解这一点。

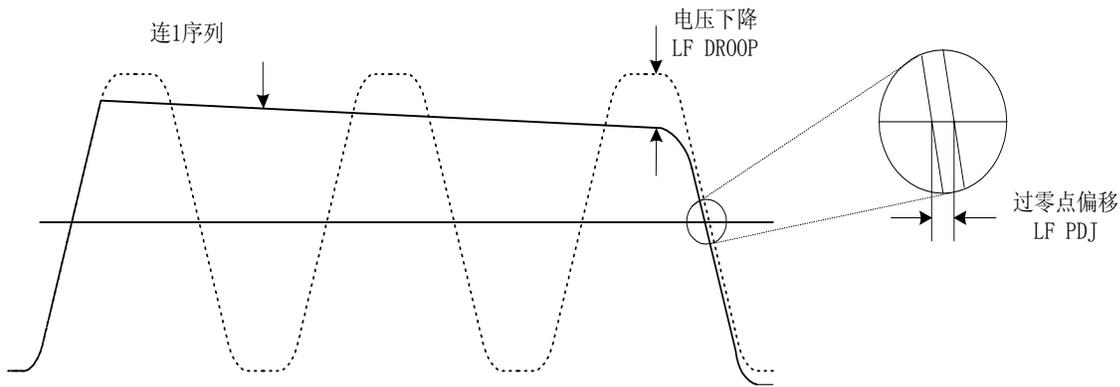


图23. 交流耦合造成低频分量损失，过零点漂移

为防止连零和连1序列造成负载电压有较大下降，我们可以把耦合电容与负载组成的高通网络的3dB转角频率降低，下面主要从时域对此进行分析，我们知道一级高通RC网络的时域响应为：

$$V(t) = V_{\infty} - (V_{\infty} - V_{0+}) e^{-\frac{t}{RC}} \quad (1)$$

NRZ数据信号经过电容耦合至50Ω的负载上，信号这时的摆动则以0为基准。我们把信号幅度以 V_{P-P} 进行归一化处理，电压幅度归一化为 $\pm 0.5V_{P-P}$ 。假定负载最初充电电压为 $V_{0+}=0.5V_{P-P}$ ，最终电压为 $V_{\infty}=0$ 。 τ 为HPF的时常数，则经过一段时间 t 后，负载电压下降 ΔV 为：

$$\Delta V = 0.5 \cdot V_{P-P} \cdot \left(1 - e^{-\frac{t}{\tau}}\right) \quad (2)$$

如允许在时间 t 时，功率下降0.25dB，则 $\Delta V / V_{P-P} = 6\%$ ；

$$6\% = 0.5 \cdot \left(1 - e^{-\frac{t}{\tau}}\right) \Rightarrow \tau = 7.8 t \quad (3)$$

如果我们定义 T_B 为数据每比特周期， N_{CD} 为最大容许的连零或连1数目，负载阻抗 $R=50$

Ω , C 为耦合电容, 则 $t=N_{CID} \cdot T_B$, $\tau=R \cdot C$, C 可通过下面式子估算:

$$C = 7.8 \cdot N_{CID} \cdot T_B / R$$

我们以 2.488Gbps 的系统为例, $T_B = 400ps$, $N_{CID} = 100bit$, 通过计算得 $C = 6.2nF$ 。下面计算该电容造成的过零点偏移大小:

$$\begin{aligned} LFPDJ &= \frac{\Delta V}{\text{slope}} = \frac{0.5 \cdot V_{p-p} \cdot \left(1 - e^{-\frac{t}{\tau}}\right)}{0.6 \cdot V_{p-p} / t_r} \\ &= \frac{0.5 \cdot t_r \cdot \left(1 - e^{-\frac{N_{CID} \cdot T_B}{RC}}\right)}{0.6} \end{aligned} \quad (4)$$

t_r 在这里指 NRZ 信号幅度从 20% 到 80% 的上升时间, 一般可通过下式估算:

$$t_r = 0.22 / BW \quad (5)$$

BW 指系统带宽, 通常为 $0.6 \sim 1$ 倍数据速率, 对于 2.5Gbps 系统, 如果取 $t_r = 120ps$, $C = 6.2nF$, 计算得 LFPDJ 等于 13ps, 如果把 C 增加到 100nF, 这时 LFPDJ 将小于 1ps, 可以忽略不计。