

第四章 失效机构

集成电路是复杂的难以置信的器件,而且没有多少是完美的。大多数都有微小的弱点和缺陷,可能导致最终的失效。这些部件可能在完好地工作许多年后突然灾难性的失败并且没有警告。传统上工程师们会依靠品质保证程序找到隐藏的缺陷。紧急条件下的工作能加速出现许多失效机构,但不是每一个设计缺陷都能通过测试来发现。设计者必须尽可能找到消除这些缺陷的办法。

集成电路版图会形成许多类型的失效。如果设计者知道这些弱点,那么就可以添加安全保护措施到集成电路中来防止失效。本章讨论许多可以通过版图设计来部分或完全地防止失效机构。

4.1 电子过应力

术语 electrical overstress (EOS)指得是由于应用过多的电压或电流到某一部件而导致失效。小心处理版图能降低三种 EOS 失效的可能性。静电泄漏(ESD)是由一种静电导致的一种电过应力。对于易于粘合的焊盘添加特殊保护结构有助于减小 ESD 失效。电迁移是一种慢慢消耗的由过多电流密度导致的机构;它最终能导致相邻导线之间的开路或短路。一种电迁移通过使导线变到足以处理最大工作电流时来防止。天线效应是在栅电极上由于刻蚀或离子注入中电荷积累导致的不寻常失效。由天线效应造成的问题能通过下面一些简单的设计指南最小化。

4.1.1. 静电放电(ESD)

几乎任何形成的磨擦均可产生静电。例如,如果你在干燥的天气下在地毯上磨擦而后接触一个金属门把手,就会有火星从指尖跳向门把手。人体就如同一个电容,而磨擦它就如同对这一电容充电,电压可达 10,000V 或更多。当手指在门把手附近时,突然的放电会产生火星且能够察觉到电击。小到 50V 的放电就会破坏典型的集成 MOS 晶体管的栅介电层。这么低的电压不会产生可见的火星和可察觉的电击。几乎任何人或机械行为都能产生如此低的静电放电。

小心正确处理将最小化静电放电的风险。ESD 敏感器件(包括集成电路)应一直存放在隔离静电封装中。接地腕条带及焊锡能降低 ESD 放电的机会。温度、离子及抗静电材料能最小化围绕工作台及机器的静电电荷堆积。这些预防措施降低但没有消除 ESD 损害,所以制造商在集成电路中通常集成特别的 ESD 保护结构。这些结构被设计无损害地吸收及驱散中等的 ESD 能量。

特别的测试能测量集成电路对于 ESD 的弱点。两个最通用的测试电路被称为人体模型及机械模型。人体模型(HBM)使用如图 4.1A 的电路。在开关被按后,一个 150pF 的电容器被充电到一个特殊的电压,之后通过集成电路对地放电。一个 1.5k Ω 的串联电阻通过这一部件限制了峰值电流。理想上每对引脚会独立地对应于 ESD 的敏感性测试,但大多数测试体仅把许多引脚结合起来测试以节省测试时间。每对引脚要面对一系列的正负脉冲,例如五个正脉冲及五个负脉冲。现代集成电路通常期望在 2kV HBM 下可以正常工作。某些部分的特殊引脚被要

求在 25kV HBM 下生存。

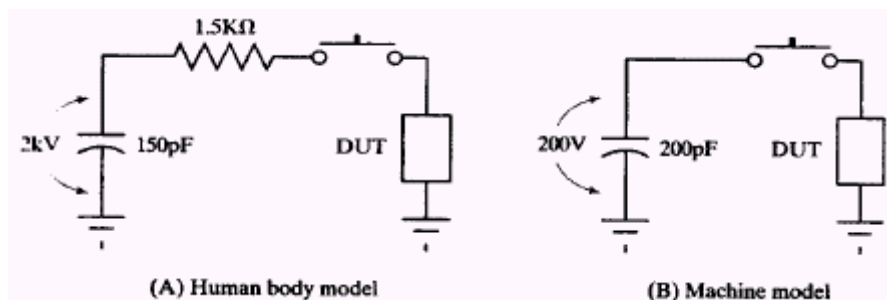


图 4.1 典型的 ESD 测试: 2kV 人体模型(A)及 200V 机器模型(B)。在两种电路中, DUT 代表测试中的器件。

图 4.1B 显示了用于机器模型(MM)的电路。一个 200pF 电容器充电到特定的电压,再通过集成电路向地放电。测试电路包括不是特别的串联电阻,但实际的测试机使用了导线、开关、插座等某些 20 到 40 Ω 电阻。这些导线上串联的电感一起限制了测试中产生的测试电流。机器模型形成了比人体模型更为苛刻的测试,在这些条件下几乎没有部件能在超过 500V 的电压下生存。

第三种 ESD 测试称为充电器件模型(CDM),正逐渐地取代机器模型。充电器件模型把集成电路封装充电到特定的静电势,并且之后通过一个引脚对低阻抗的地进行放电。研究者相信同人体模型及机器模型相比这种模型提供了更精确的工厂处理条件模型。典型的测试区将定为 1 到 1.5kV 的 CDM 测试。

作用

静电放电会导致几种不同形式的电损害,包括栅氧层破裂、栅氧层退化及雪崩引起的结漏电。在极端的情况下,ESD 放电甚至能蒸发金属或粉碎体硅。

低于 50V 能破坏一般 MOS 晶体管的栅介电层。破裂会在纳秒内发生,不要求同样的电流,并且对于所有情况均有不可改变的作用。破裂通常短接了被损伤晶体管的栅及背栅。使用氧化层或氮化层作为介电层的电容也易于发生这种失效机构。一个只连到栅或电容引脚的 ESD 放电可能导致这些器件中的氧化层破裂。如果引脚连到扩散区,那么通常这些在栅氧破裂之前会发生雪崩。

栅氧的完整性可能由于实际上不会使它破裂的 ESD 事件而要折衷考虑。之后被弱化的氧化层就能在任何时间内失效,或许在成百上千个小时的无缺陷工作后。有时不会发生失效,直到产品被移送到客户手中。测试不能查出这种类型的延迟 ESD 失效,相反必须保护脆弱的介电层以防过高的电压。

尽管结比介电层更为健壮,它们仍要忍受 ESD 损害。一个正在发生雪崩的结把大量的能量堆到一小部分的硅中。极大电流密度能通过接触把金属扫到下面的结中形成短接。过多的热量也能通过熔化或击碎硅来物理地损害结。这些灾难性形式的结损害大多常常表明它们短接了电路。没有失效工作的雪崩结通常会展示出增加了漏电流,不一定是导致不能通过参数化测试的过应力单元。

预防措施

所有易受攻击的引脚必须有 ESD 保护结构连接到它们的焊盘。一些引脚能够抵抗 ESD,因此不要求附加的保护。连接衬底和大扩散区的引脚例子,诸如功率 NPN 的集电极。这些大的结分散在 ESD 损伤其它的电路之前就可吸收 ESD 的能量。大多数集成电路功率电源引脚连到多个扩散区,因此也十分健壮。

连到相对小扩散区的引脚,特别是那些连到小 NPN 晶体管的基区或发射区,易于受到包括 ESD 作用在内的结损害。NPN 晶体管基区发射区雪崩结永远退化

β 。有时电路设计者能通过再次安排电路消除易受攻击的结。应添加 ESD 保护到连接基区发射区结的引脚,或更普遍地是增加连到相对小的扩散区引脚上。因为 ESD 易受攻击性是很难预言的,谨慎的设计者添加保护器件到所有的可能被甚至远程攻击的引脚上。

只连接到 MOS 晶体管的栅极或连接沉积的电容电极引脚极易受到 ESD 作用介电层破裂。在所有这些的引脚上就放置特殊的栅保护结构。这些结构通常包括很大数量的串联电阻(通常为 $500\ \Omega$ 到 $5\text{k}\ \Omega$),并且因此不应用到必须传导大于 1mA 的引脚上。

使用薄发射区氧化层的工艺也易发生 ESD 作用破裂。这种易发性可通过保证连接外部焊盘引线不横跨它们不连接任何发射区来消除。另外一种类似用来保护栅的 ESD 结构能够保护易受攻击的焊盘。大多数现代版本的标准双极工艺使用厚发射区氧化层,可以消除需要的预防。

通常要求考虑灵活性来使模拟集成电路进行格式化成功的 ESD 结构。常要求众多保护电路来满足大范围的电压,以及在模拟电路中发现的几种易受攻击的器件。节 13.4.3 讨论了几种通常使用的 ESD 结构,并且显示了怎样修改这些来符合众多特别的要求。

4.1.2. 电迁移

电迁移是一种由极高电流密度导致的缓慢消耗现象。伴随移动载流子冲击的静止金属原子导致了渐进的金属移位。在电流密度达到 $5 \times 10^5\text{A/cm}^2$ 的铝中电迁移变成了主要的关注。尽管这可能是过大的电流密度,在亚微米工艺中最小线宽的导线能经历电迁移只有几毫安。

作用

铝金属是多晶材料。单个的晶体或晶粒通常互相邻近。电迁移导致金属原子逐渐从晶界移开,在相邻晶界之间形成空隙。这导致了减少导线作用的横截面积以及提高了剩余的导线电流密度。形成其余的空隙并且逐渐接合直到它们最终切断引线。

增加难熔金属改变了观察到的失效模式,因为难熔金属相对有抵抗力。最初大多数电流从铝中流动,一旦空隙最终切断铝,下面的难熔金属把间隙连接上继续导电。难熔金属可强烈地抵抗电迁移的作用,所以导线将不是完全失效。相反在铝中形成的空隙将导致导线电阻渐渐地有时不规律地增加。更坏地是,铝金属有时被空隙移位而把相邻的引线短接在一起。引线中铝部分的横截面确定了电流如何安全地传输,而不须考虑存在或缺乏难熔金属。

难熔金属通常用在防止接触和过孔的电迁移失效,因为在这些点处薄铝金属化屈从于电迁移引起的空隙,而难熔金属保证了横跨台阶侧壁时导电的连续性。在接触或过孔中不能正常地发生横向突出,因为邻近的薄片金属覆盖了整个结构。同样,由空隙导致的电阻变化与接触或过孔结构的内部电阻相比来说很小。在不能容忍这些电阻改变时,设计者能插入附加的接触或过孔来帮助降低电流密度。

预防措施

防止电迁移的第一层防御是改进工艺。目前铝金属化通常掺杂 0.5 到 4% 的铜来增强电迁移的抵抗。在晶界边界积累的铜,由于被要求从晶格中驱逐金属原子增加活动能而抑制了空隙。掺杂铜的铝比纯铝有 5 到 10 倍的电流处理能力。

导线电迁移抵抗力能够通过使用全面紧压的限制了压力下的金属并抑制空隙产生保护层而进一步改进。难熔金属也能有助于防止在接触及过孔中电迁移失效。大多数生产商不依靠于难熔金属防止其它氧化层步骤, 因为有横向突出的风险。相反, 设计导线以便金属化的铝能部分处理除接触及过孔开口外所有金属图形部分的全部电流。

工艺技术能最小化电迁移, 但还存在不冒金属化失效不能超过的一些最大电流密度的风险。对每一工艺设计规则定义了单位宽度的最大允许电流。对于不横跨氧化层台阶的引线典型值是 $2\text{mA}/\mu\text{m}$ ($50\text{mA}/\text{mil}$), 对于横跨氧化层的引线是 $1\text{mA}/\mu\text{m}$ ($25\text{mA}/\text{mil}$)。这些值与金属化的厚度及组成有关, 并且在期望的工作温度上(14.3.3 节)。按上面规定的电迁移限制考虑到引线必须传导 50mA 。如果这根引线横跨场氧层布线以避氧化层台阶, 那么它需要只是 $25\mu\text{m}$ 宽, 否则宽度必须提高到 $50\mu\text{m}$ 。引线不能突然加宽在氧化层台阶上, 因为电流只能渐渐地从窄引线流到较宽引线。更宽的引线应延伸出氧化层台阶, 在每一个方向都有一段至少是它最大宽度两倍的距离。

过剩的电流也能导致粘合线过热失效。实际上, 长度是 50mils (1.25mm) 典型的 1mil 金键合线能安全地传输大约 1A 电流, 而类似地金属导线能传输约 750mA 。如果期望的电流超过这些限制, 那么设计要求更多大直径的键合线或并列放置多个键合线(14.3.3 节)。

4.1.3. 天线效应

干法刻蚀使用强电场产生等离子。在刻蚀栅多晶硅和氧化侧壁间隔过程中, 静电荷可能在栅多晶上积累。得到的电压可能如此大以致电流可能从栅氧化层中流过。尽管涉及的能量值通常不足以使栅氧层破裂, 但仍可能会退化电介质层的强度, 退化值与全部栅氧层面积除栅氧化层总电荷数的值成比例(11.1.2 节)。每个多晶硅区收集的静电荷同它的面积成比例。连到大多晶几何图形的小栅氧区可能有不成比例的损害。这种机构有时称为天线效应, 因为充当天线的大面积多晶可收集流过脆弱栅氧层的电荷。天线效应形成的栅氧层损害也在源/漏区离子注入中观察到。

天线效应的大小与暴露的导电面积和栅氧层面积之间成正比。在图形化多晶硅时, 多晶硅是暴露的导体。同样在图形化第一层金属时, 金属是暴露的导体。分离的面积比必须对每一导电层计算。也可计算PMOS和NMOS栅氧层的单独比, 因为两个不能在相同电压下击穿。通常要求导体/栅面积比为几百才可产生明显的损害。大多数版图不包括这样的几何图形, 所以天线效应通常限制了管芯的一些位置。图 4.2A显示了能产生足以激发这类失效导体/栅面积比的一个版图例子。已经拉长了NMOS晶体管 M_1 的栅引线以便于连接到晶体管 M_2 上。被延长的引线有足够危及晶体管 M_1 的面积 (图 4.2B)。可以通过在邻接到晶体管 M_2 的多晶硅引线中插入一个跳线来消除这一脆弱性。这一跳线极大地减少了连到 M_1 栅氧层的多晶几何图形面积, 反过来也降低导电/栅面积比率到安全值。

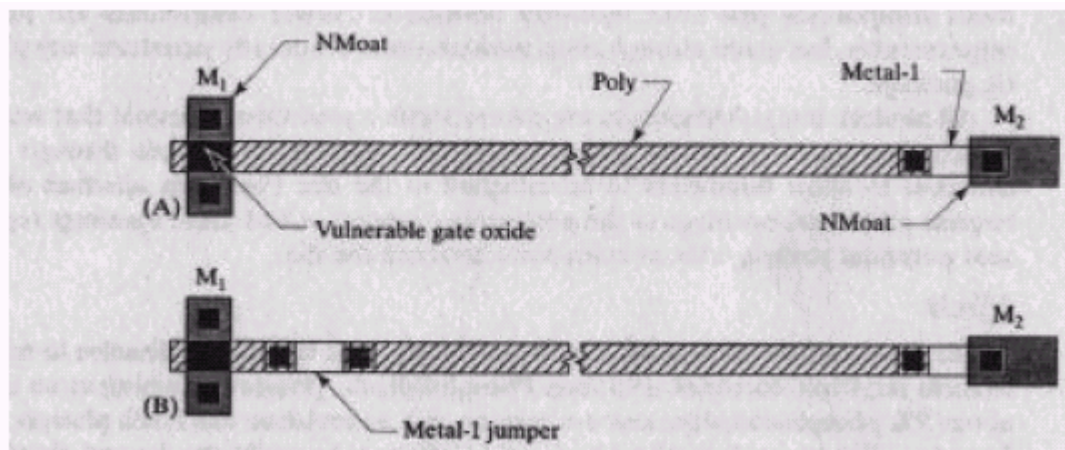


图 4.2 (A)易发生天线效应的版图(B)能够添加金属跳线来免除。

在金属层刻蚀中也能发生静电损害。连到扩散区的金属区很少有任何问题，因为这些扩散区提供了静电荷可以泄漏的路径。最顶层的金属几乎不会发生天线效应，因为这一层上的每一图形都连到管芯的某块扩散区，但下面的金属不需要连接扩散区直到顶层金属层代替。在刻蚀下层金属地过程中，没有连到扩散区的任何图形通过各层收集了有害的静电电荷。

可通过在最顶层金属层中插入短跳线最小化接触到小栅氧区下层金属的面积，以消除下层金属的天线效应。这种解决类似于图 4.2B。尽管顶层金属跳线不可行，仍可通过确保下面金属连到扩散区的引线避免损害。如果版图不包括任何方便位置的扩散区，就考虑添加最小尺寸的 N 有源区/P 外延层或 P 有源区/N 阱二极管(节 10.2)。这些二极管可能影响电路工作，所以在没有同电路设计者协商的情况下一定不能增加它们。

4.2 粘污

集成电路对于某些污染是很脆弱的。假定已经正确得制备了器件，初始时很少的污染存在于塑料封装的内部。已经仔细地处理塑料模型的化合物来提供可能最高程度的抗外部污染的穿透，但不是说塑料完全不受影响。污染在金属引脚及塑料之间的界面进行渗漏，或者它们直接穿过塑料。在现代塑料封装芯片中主要会面对两个污染问题：一是干法腐蚀，一个是移动离子污染。

4.2.1. 干法腐蚀

潮湿气体存在时，如果曝露到离子污染铝金属系统将腐蚀。只有在一定的水环境下才能初始化所谓的干法腐蚀。因为潮湿及离子污染普遍存在，集成电路必须依靠封装来防止它们。早期模型化合物材料几乎没有抗湿性。较新的化合物材料具有更好的不渗透性，但在足够的时间下，潮湿最终穿透任何封装。

所有现代的集成电路被充当湿气防护的保护层覆盖。然而必须要通过保护层开口才可允许粘合线连接管芯。配置的剪裁引线通常要求在保护层有额外的保护层开口。所有这些开口对于到达管芯的污染有潜在的路径。

作用

只是水不能腐蚀铝，但许多离子物质溶在水中形成相对有腐蚀能力的溶剂。包含超过 5% 磷的磷硅玻璃代表了一种腐蚀的风险，因为湿气能从玻璃中滤去磷产生磷酸。这种磷酸快速地攻击溶解铝而导致开路失效。许多现代工艺使用氮或氧化氮保护层以确保湿气不能到达下面的磷硅玻璃。另一种方法是玻璃中的磷含量能通过使用硼和磷复合掺杂来降低。这些元素降低了玻璃的软化点，所以硼磷硅玻璃(BPSG)要求很少的磷来取得同磷硅玻璃一样的软化点。

水溶剂中的卤素离子也能腐蚀铝。普通的盐或氯化钠提供了丰富的氯离子源。渗入集成电路封装的湿气能运输氯离子到管芯表面，在那里开始腐蚀铝金属系统。通常很少出现大量的溴化物，但塑料封装常包含有机溴光延缓剂。这些光延缓剂在温度超过约 250°C 时开始分解并释放溴离子，所以限制了这些封装能安全承受的贮存及焊接温度。

预防措施

尽管污染好象完全超出了版图设计者的控制，可采取几个措施来最小化保护层的脆弱性。设计者应最小化所有保护层(PO)开口的数量及尺寸。生产的管芯不应包括任何不是绝对必须的开口。如果设计者想包括其它测试压焊点以进行估计，那么这些应该占据一个特别的测试掩模板。当这个部件被送到量产时，测试掩模应被保护层下封装测试压焊的 PO 生产掩模所代替。

如果考虑到有足够数量未对准误差情况下，金属应在所有侧覆盖粘合压焊开口。金属粘合压焊将保护下面的氧化层防止湿气或其它污染物进入。对多晶硅或金属引线所做的开口应该尽可能得小，并且除引线外没有任何电路显示在开口内。

4.2.2. 可动离子污染

温度升高时许多潜在的污染在二氧化硅中溶解，但在正常的工作温度下大多数污染不能再移动，而变成同氧高分子在一起束缚。对这个规则碱金属是例外的，甚至在室温下它们保持了在二氧化硅中的移动性。在这些可动离子中，钠是最为普通且最麻烦的。

作用

移动离子污染引起了参数变化，大多数会引起 MOS 晶体管阈值电压非常显著的变化。图 4.3A 显示生产中包含钠的 NMOS 晶体管的栅氧层。开始时带有正电荷的钠离子分布在氧化层中，之后等量的负离子(阴离子)也被引入了。不像钠离子，这些阴离子严格地保持在氧大分子中。

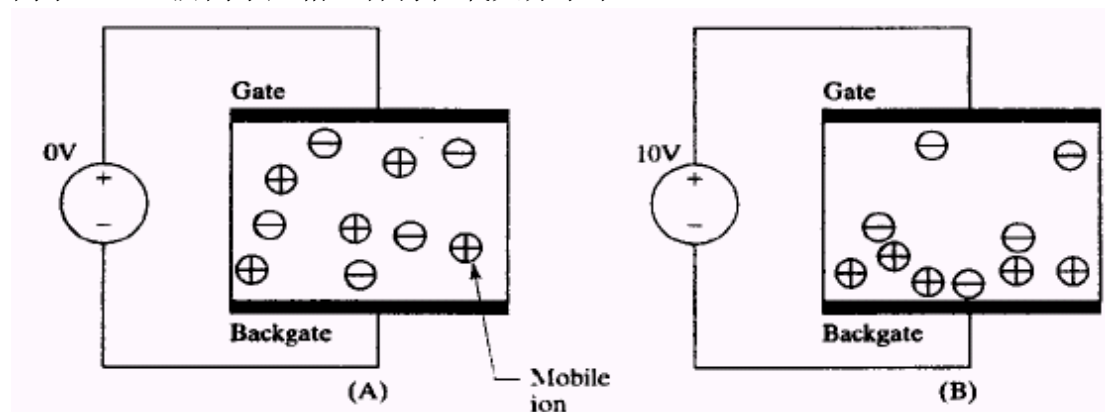


图 4.3 在偏压下可动离子的行为：自由随机分布在氧化层中的离子(A)在正栅偏

压下协调的移动(B)。

图 4.3B 显示了在正栅偏压下被延长工作周期后的同样栅介电层。正电荷栅电极已经把移动的钠离子朝二氧化硅表面向下排斥。因为负离子不移动,再分布的钠离子导致了氧化层电荷的净分离。NMOS 晶体管中存在的正电荷降低了它的阈值电压。阈值电压的变化幅度与钠离子的深度、栅偏压、温度和时间有关。许多模拟电路要求匹配的阈值电压在几毫伏内。甚至低浓度的移动离子能产生这一级别的变化。

可动离子污染能产生长期的失效,阈值电压慢慢地变化最终导致超过它的参数极限。如果从工作中移走失效器件并在 200℃ 下烘烤几小时,移动离子会再次分布并且阈值变化消失了。这种处理只是临时性的,在电压恢复时阈值变化会很快出现。尽管模拟电路是特别易于出现由移动离子导致的参数变化,如果阈值电压变化太大,甚至数字电路最终也会失效。早期的金属栅 CMOS 逻辑被严重的钠污染,导致受阈值电压变化的折磨。

预防措施

在制造过程中一些可动离子不可避免地会掺进一个集成电路中。可以通过使用纯化学品以及改进生产工艺来最小化污染源。通常采取特别的步骤来确保 MOS 工艺清洁,但只有这些不足以完全消除阈值电压变化。

金属栅 CMOS 的生产商试图通过添加磷到栅氧层中稳定阈值电压。磷稳定性使碱金属污染不可移动,但也引入了新的问题。即使被束缚到氧化物大分子中,带电的磷酸盐团在强电场下会轻微地移动。因而磷酸玻璃存在有被处理的同样问题。因为电介层极化和可动离子污染不是同样严重的问题,所有都不是不为人知的。由于给定偏置电压导致的阈值变化相对很小,只是几十毫伏。由电介层极化导致的阈值变化也能比可动离子产生得更多,所以电路设计者可以估计在给定的电路设置中是否会反过来影响。阈值电压变化最终可通过使用掺磷多晶硅栅而不是掺磷栅氧化层来解决。掺磷多晶硅栅以同样方法固定了碱金属,同磷稳定性一样而不添加介电极化的复杂性。

渗到集成电路封装的湿气会从外部环境传入钠。改进的封装材料能减慢但不能停止钠离子的进入。保护层充当可动离子的势垒并防止它们到达脆弱的氧化层,同硅接触。保护层通常由整个硅氮化物组成,对可动离子或掺磷玻璃来说相对无渗透性,从而可固定它们。这些保护层充当防止杂质从外界进入到芯片中的最后的防线。

一些保护层开口是可动离子污染物进入芯片的潜在路径。金属化通常密封了焊盘的开口,但探针留下能刺穿金属伤痕而曝露内部氧化层(ILO)。尽可能使用最少的探针焊盘,并且这些应该放在芯片的外围,还要尽可能远离敏感的模拟电路。保护层的熔断开口也代表了脆弱的位置,应该远离模拟电路。

在管芯周围的划片槽通常由裸硅组成,因为其它材料易碎或阻塞锯刀。最终污染物能渗入到连接划片槽附近曝露的氧化层。一种在芯片周围放置的称为划片密封(scribe seal)的特殊结构可以减慢污染物的进入。图 4.4A 是单层金属 CMOS 工艺典型的划片封装。这个划片密封的第一个部件是由一条围绕管芯有源区的窄接触条组成。这个接触必须是没有任何间隙破坏的连续环,以封锁横向通过场氧区的可动离子运动。在这个接触下面放置 P 型扩散区允许成为双层衬底接触。这种排列很方便,因为形成部分划片密封的金属电极也承载管芯周围的衬底导线。这种划片密封也提供了可以确保衬底接触的最小面积。

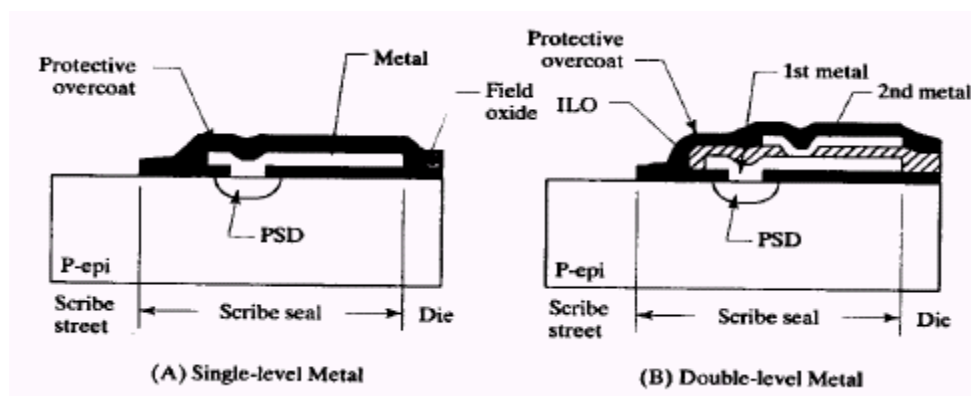


图 4.4 CMOS 或 BiCMOS 工艺单双层金属变量的不同划片封装。不同的生产商，在划片密封下放置扩散区也不同。

划片密封也包含了把保护层垂入到直接在曝露硅的顶部划片槽上形成的第二种粘污物壁垒。在接触到管芯有源区前，任何试图穿过划片密封移动离子首先必须克服这种垂下结构，下一步才可经过连续的接触环。大多数工艺禁止在氮化层和硅之间直接接触，因为在硅晶格中的氮化物缺陷存在压缩应力。

划片槽上垂下的保护层是被允许的，因为划片槽中没有可能被缺陷所损害的有源电路，所以也不存在有源区。但氮化物仍旧不应接触管芯内部有源区所曝露的硅，因为被损伤的硅所形成的缺陷能传播一段距离，并可能影响附近的部件。

图 4.4B 显示出双层金属工艺的划片密封。这种密封包含了放置在接触环内部由连续的过孔环组成的第三层屏障。过孔环有助于防止污染物进入两层金属之间的 ILO。在三层金属工艺中，添加第二层过孔将保护在 metal-2 和 metal-3 之间的第二层 ILO。

图 4.4 中的划片密封能保护大多数管芯，但衬底接触可能根据工艺流程要求不同的扩散。例如，标准双极工艺用图 4.4 中的 PSD 环取代 P 型隔离和基区的组合。P 型隔离将可能延伸到有源管芯的边缘，因为多数设计者在 GND 金属下面放置衬底接触环包围管芯。无论使用哪种扩散区，划片密封的功能是一样的。

4.3 表面效应

高电场强度的表面区域能注射热载流子到氧化层上面。表面电场也能促使寄生沟道形成。这两种机构被认为是表面效应，因为它们只发生在硅及覆盖的氧化层之间的界面。

4.3.1. 热载流子注入

由于随机热振动载流子的扩散总是保持恒定的运动。电场可能在某一方向上产生慢速的漂荷载流子，但通常漂移速度小于热振动所产生的瞬间速度。因而，电场很少能增加载流子的瞬时速度到可以察觉的级别(图 4.5A)。只有在极高的电场强度下载流子的漂移才可变得如此之快，使得瞬时速度有实际意义的提高(图 4.5B)。所得到的载流子称为热载流子，因为它们移动的速度通常在温度升高下才取得。

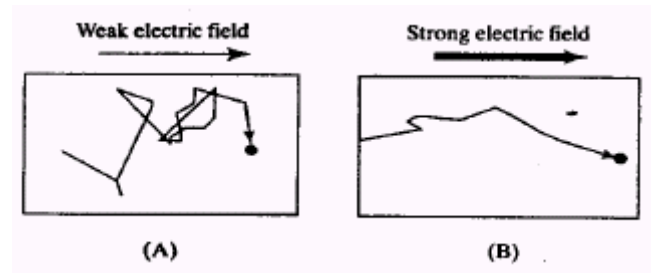


图 4.5 (A)弱电场导致整个载流子的漂移,但本质上不影响瞬时速度 (B)强电场实际增加了载流子的瞬时速度。

作用

在饱和区漏源高电压下 MOS 器件能产生热载流子。随着漏源电压的增加,沟道的夹断部分慢慢地变宽。宽度的增加不能与电压的增加保持同步,所以当电压增加时电场增强。高电压时,电场变得足够大使晶体管的漏端产生热载流子(图 4.6)。NMOS 晶体管产生热载流子, PMOS 晶体管产生热空穴。因为有效迁移率的差异, NMOS 晶体管热载流子的产生比同样大小的 PMOS 晶体管在更低的电压下开始。如在 10V 注入电压下一个 $3\mu\text{m}$ NMOS 晶体管产生热电子, 那么同样的 PMOS 晶体管在注入电压低于 20V 下不可能产生热空穴。

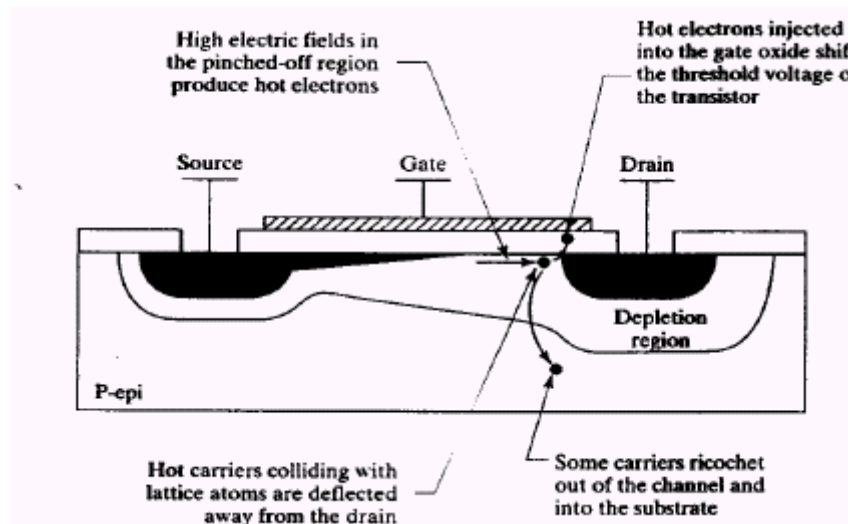


图 4.6 NMOS 晶体管中热电子机构的简图。

在晶体管漏端产生的热载流子与晶格原子碰撞,其中一些弹回的载流子向上运动到了氧化层的上面。大多数的载流子通过氧化层返回硅中,但另一些陷在氧化层的缺陷中。随着更多载流子的陷住,这些陷住的载流子表明氧化层中固定电荷在数量上的逐渐增加。这些电荷使 MOS 晶体管阈值电压的上升,反过来影响整个电路的性能。

热载流子导致的参数变化可部分或全部通过在 200 到 250℃ 烘烤未加偏压的单元几个小时就可去除。这些温度给予陷住的载流子的足够热能,使它们自由运动并且允许返回硅中。这些参数变化随着氧化层中固定电荷的消失而消失了。对于可动离子,表面的治愈只是临时的。当偏压恢复时产生的热载流子恢复,而且阈值电压开始再次变化。

雪崩结也产生了大量热载流子。雪崩发生在大多数扩散区的结表面,因为在那里掺杂浓度很高(图 4.7A)。雪崩过程产生的一些热载流子运动到氧化层中。在

基区-发射区结中，这些载流子主要由增加了氧化层固定正电荷的热空穴组成。随着这些载流子增加，在表面中引入了一个逐渐变宽的耗尽区(图 4.7B)。在工作中雪崩电压慢慢地增加，这种现象被为齐纳击穿。如果使用一个曲线跟踪器就可以观察到一个结二极管反向击穿。由于表面耗尽区逐渐地变宽，击穿曲线的转弯后电压将逐渐地变得越来越高，与氧化层中固定电荷的积累相对应。因为被陷住的氧化层电荷形成的变化，未加偏压的高温烘烤至少会部分地降低这一现象。根据工艺条件变化，发射-基区齐纳二极管能展示出 200mV 的变化电压。实验表明在工艺使用难熔金属和硅化接触时，齐纳变化的幅度就会消失，尽管这种改进的可能机构还不明显。

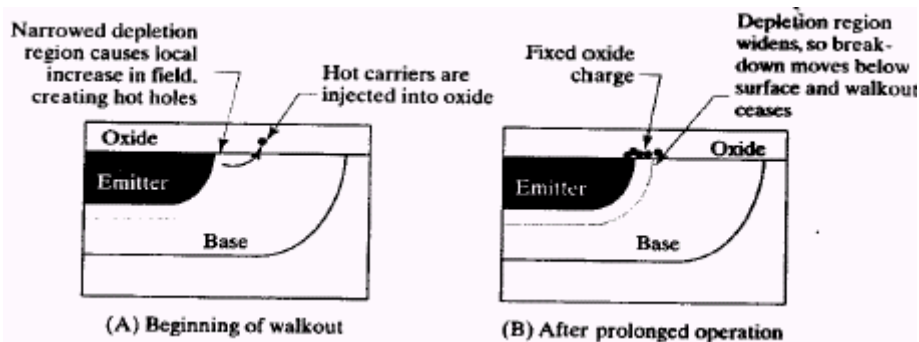


图 4.7 齐纳变化机构的简图：(A)结的初始条件，其中热载流子在表面附近产生；(B) 在工作延伸周期后的结的条件。

预防措施

轻掺杂漏区(LDD)结构能减少或者去除 MOS 晶体管热载流子的产生。节 3.2.4 讨论在典型多晶硅栅 CMOS 工艺轻掺杂漏区结构的实现。如果不存在轻掺杂的漏结构，或如果工作电压超过存在结构的能力，那么必须再次设计电路以减少强加 MOS 晶体管上的电压力。

作为开关的晶体管产生相对少的热载流子。这些器件或者工作在全开状态(此时处于线性区)或者是全关闭状态(此时在截止区)。在很大的漏源电压下这两种情况中的电流没有什么不同。热载流子只在两种工作状态开关变化时产生。热载流子产生的平均速度降低到不断导电相配合值的很小一部分，这部分的工作寿命可以增加几个量级。在开关转变不频繁时，晶体管可以承受的电压远超过产生热载流子的初始电压。

长沟器件也采用一些措施来防止热载流子效应。热载流子仍然生成但只是在漏端的附近，沟道的其余部分不受影响，从而把热流子对晶体管参数的影响最小化。可通过增加几微米的沟道长度来获得几伏电压的工作边限。普通的基区-发射区齐纳二极管为表面器件，因而能有几百毫伏的齐纳变化。表面齐纳可试着进行最小化变化，但没有人获得明显的成功。如果雪崩击穿被限定在表面区域以保持热载流子远离脆弱的二氧化硅，齐纳电压只是保持稳定。这些结构通常称为埋层齐纳管(节 10.1.2)。

4.3.2. 寄生沟道及分散电荷

任何硅表面上的导体都可能形成寄生沟道。如果导体在两个扩散区之间，那么漏电流能从一个扩散区流到另一个形成沟道。大多数寄生沟道相对较长且不能导通很多电流，但在低功率模拟电路中即使小电流也能导致寄生变化。由于一种

称为电荷扩散机构,有时在没有导体时沟道也会形成。添加沟道停止或电场极板能抑制寄生沟道的形成以保护脆弱的电路

作用

PMOS 和 NMOS 均有寄生沟道存在。一个 PMOS 寄生沟道能在轻掺杂 N 型区之间形成,如在标准双极工艺中的 N 型槽,或在 CMOS 或 BiCMOS 工艺中的 N 阱中。一个 NMOS 寄生沟道能在轻掺杂 P 型区中形成,如 CMOS 或 BiCMOS 工艺中的 P 外延层,或标准双极工艺中轻掺杂的 P 型隔离。这些类型的寄生沟道会导致很多的问题。

PMOS 寄生沟道能在跨过轻掺杂 N 型区的导线下面形成。考虑到一个金属导线跨过包含了一个基区扩散的 N 型槽 (图 4.8A)。导线充当 PMOS 晶体管的栅,而 N 型槽为背栅。基区形成了晶体管的源,隔离部分为漏。如果在引线和基区之间电压差超过寄生 MOS 晶体管的阈值电压就将形成沟道。因为厚场氧充当晶体管的介电层,它的阈值电压被称为 PMOS 厚场阈值。如果工艺有 40V PMOS 的厚场阈值,那么基区必须比导线偏置高 40V,以便在导线下形成沟道。一个相似的条件应用到任一潜在的寄生 PMOS: 在充当栅的导体必须高于充当源的 P 型区,电压等于或大于 PMOS 厚场阈值。

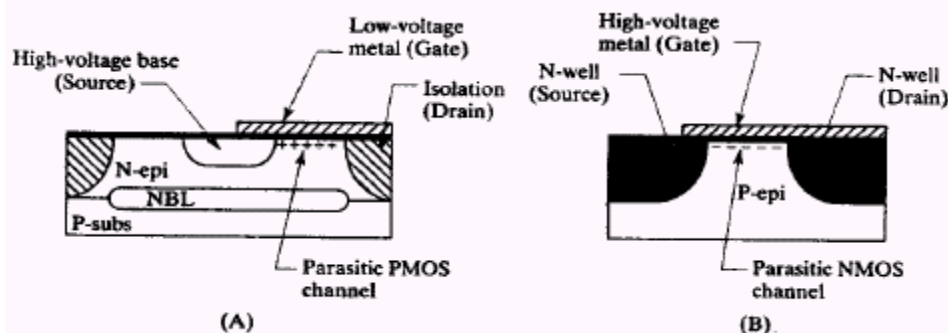


图 4.8 (A)标准双极工艺中的寄生 PMOS(B)N 阱 CMOS 工艺中的寄生 NMOS。

NMOS 寄生沟道能在跨越轻掺杂 P 型区的导线下形成。图 4.8B 显示了在 N 阱 CMOS 芯片上形成了 NMOS 寄生沟道。这种沟道在跨越轻掺杂 P 外延层的导线下形成。导线充当栅,而 P 外延层充当背栅。两个相邻的阱充当源和漏区。如果在栅和源之间的电压差超过 NMOS 厚场阈值就形成一个沟道。类似的条件能应用到任何一个潜在的寄生 NMOS: 充当栅的导体必须比充当源 N 型区高,电压等于或大于 NMOS 厚场阈值。

工艺的厚场阈值电压与许多因素有关,包括导体材料、氧化层厚度、衬底晶向、掺杂级别以及工艺条件。对厚场阈值来说,大多数工艺只引用一个值,即从导体和扩散区结合的最差情况中获得的最小值。对于每一种导体和扩散区的结合,其它工艺利用更为丰富的特性来分别确定厚场电压。

有时设计者使用体效应(节 1.4.2)作为接近或甚至超过厚场阈值的调整方法。背栅-源结反偏时体效应增加了晶体管表面的阈值电压。例如,图 4.8A 的寄生 PMOS 的背栅可能会比基区偏置到更高的电压。不幸的是,背栅偏置不能用于任何重要的辅助作用中。体效应在重掺杂背栅中是最重要的,然而寄生 MOS 的背栅通常为轻掺杂。而且体效应产生的阈值变化随背栅-源偏置电压的平方根而变化,所以即使一个很大的背栅可能也只过得到几伏特的边限。

工程师曾认为沟道只能在导体下形成,但经验表明不是这样。沟道能在合适

的源和漏中存在, 即使不存在导体充当栅。这种沟道形成的机构称为**电荷扩散**, 尽管详细的原因还不清楚, 基本原理可以很好的理解。覆盖在集成电路上的氧化层及氮化层薄膜几乎是完全的绝缘体。电流不能从绝缘体中流过, 但静电荷可在绝缘体表面或在两块不同的绝缘体之间的界面间积累。这些静电荷不是完全不可移动的, 在电场影响下能慢慢地移动或在集成电路中传播, 在保护层及塑料封装之间的界面通常就是这样。如果使用一层氮化物保护层, 那么氧-氮化物界面是很脆弱的。这些电荷移动速度与温度及污染物的存在有关。高温极大地加速了电荷的扩散, 而存在的潮湿气体数量也有同样的作用。

电荷扩散要求静电荷存在绝缘界面上。经验表明这些电荷的确存在, 并且主要由电子组成, 但产生机构还没有完全被了解。热载流子注入肯定归因于电荷扩散, 但不产生热载流子集成电路也有扩散电荷。有各种假设机构说明这些实验现象。实际上, 静电荷的来源没有它产生的结果重要。

图 4.9A 表明标准双极芯片易于产生电荷扩散的一个横截面。槽区内的基区被偏置低于 PMOS 厚场阈值, 因而充当了寄生 PMOS 晶体管的源。含有这一基区的槽区也需要正偏高于 PMOS 厚场阈值。在绝缘层上存在的电子将向正的充电槽区迁移。最终, 足够的电子能在槽区上积累来感应出一沟道(图 4.9B)。实际上, 由电荷传播产生的静电荷充当一个 MOS 晶体管的栅电极。

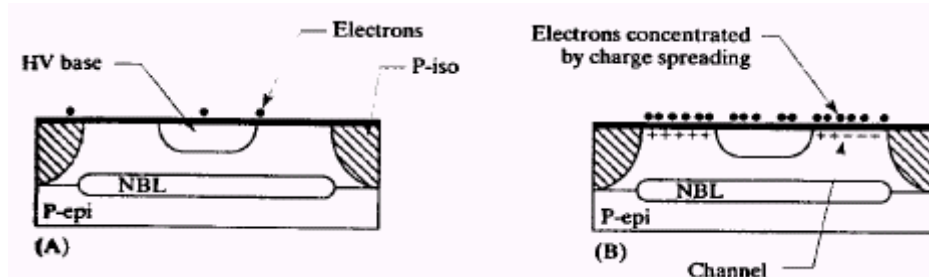


图 4.9 易于产生电荷扩散的标准双极结构的横截面: (A)在偏置电压工作之前的 (B)一段时间之后

标准双极工艺显示比 CMOS 更易于电荷扩散, 可能因为缺少工艺的严格清洁。CMOS 工艺必须最小化离子污染来保持阈值电压控制; 这些对标准双极是不存在的。没有过多数量的移动离子使得 CMOS 和 BiCMOS 工艺在某种程度上对于电荷扩散免疫。

电荷扩散能产生寄生 PMOS 晶体管, 因为它使用负电荷的积累。这些寄生晶体管的源由一个 P 区组成, 其工作电压超过了 PMOS 厚场阈值范围。这些最脆弱的器件低电流工作在包含了高电压大的 P 区—例如匹配的高电压 HSR 电阻。在长时间的高温偏压工作中易于发生失效。潮湿增加了表面电荷的移动, 所以设计来检测潮湿敏感性环境测试通常可以找到电荷扩散问题。所得到的参数变化类似于由热载流子注入产生的效果, 它们能部分或全部地通过在 200 到 250℃ 的高温下把未加偏压单元烘烤几小时而改变。温度能导致积累的静电荷扩散并保持在移动离子及固定的反电荷之间平衡。这种方法不会被永久地处理好, 因为参数变化在偏压被恢复时就重新出现。

预防措施(标准双极)

标准双极中 NMOS 形成的沟道可通过在所有隔离区上组合基区来抑制。这种隔离区中的基区(base-over-isolation, BOI)要求不附加的芯片区, 因为隔离区要求的空间比基区要求的大了许多。因此 BOI 能同隔离区一致, 或者甚至轻微地覆盖在它上面。不是所有的标准双极工艺均使用隔离区上的基区。有些使用足够

的重掺杂隔离扩散区来抑制沟道的形成。

标准双极器件易于通过电荷扩散形成 PMOS 沟道。高于 PMOS 厚场阈值偏置的任何含有 P 型扩散区的槽区要求用电场极板、沟道停止或两者结合的方式来保护。保守的设计者通常降低标准双极的厚场阈值来考虑这种工艺电荷扩散的倾向。例如，设计者对工作在 30V 之上高压 P 区可能用电场极板及沟道停止，即使工艺的额定 PMOS 厚场阈值为 40V。

图 4.10 是一个易于寄生沟道形成的高电压 HSR 电阻的例子。包含电阻的槽区连接正电源来确保隔离。导线(低压)必须跨越槽区布线来连接一些邻近的低压电路。只要在电阻及导线之间有电压差，并且导线高于 PMOS 厚场阈值，一个 PMOS 沟道将在这一导线下形成。

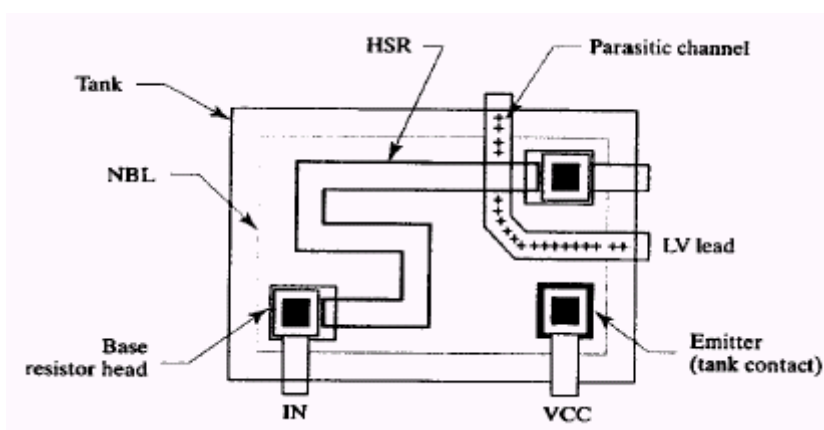


图 4.10 易于发生寄生 PMOS 沟道形成的电路例子。

CMOS 工艺使用沟道停止注入来提高厚场阈值。标准双极不包括沟道停止注入，但发射区能在 N 型槽区选定区域组合来行使同样目的。图 4.11A 表示发射区怎样破坏在低压引线下形成的寄生沟道。两个最小宽度发射区条均可破坏一个沟道，否则这个沟道会从电阻到隔离区形成导电电流。

图 4.11A 中的发射区条能在每一方向上均有轻微地延伸。这些延伸将切断沟道，即使金属和发射区排列不准。电场也延伸到导线每一侧的边缘。这些引出的电场横向延伸很少超过两或三倍的氧化层厚度，所以导线上覆盖的发射区条将等于最大光刻图形的对准误差加上两倍的氧化层厚度。假定有一个 $1\mu\text{m}$ 两级对准误差和 $10\text{k}\text{\AA}$ 的厚场氧化层，发射区条将在导线每一侧延伸出 3 到 $5\mu\text{m}$ 。这些发射区条通常称为沟道停止。但它们不会同在 CMOS 及 BiCMOS 工艺中使用的覆盖沟道停止注入混淆。沟道停止有时称保护环，虽然这一名词更适合称为少数载流子保护环(节 4.4.2)。

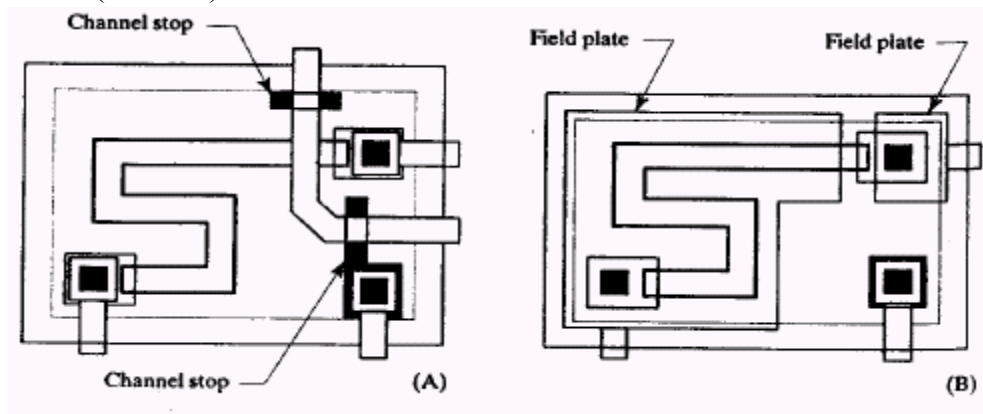


图 4.11 防止寄生 PMOS 沟道的两种方法：(A)沟道停止防止在导线下方形成沟道，但不能停止电荷的扩散(B)电场极板提供了相对完整的覆盖，除了两块薄极板之间可能的间隙。

图 4.11A 中的沟道停止自己不能保护电荷的扩散。即使一个沟道停止完全包围了一全蛇形电阻(如图 4.11 所示)，寄生沟道仍能在两个转弯之间形成。如果增加的沟道停止被置于转弯之间，寄生效应仍能沿它的边缘转变硅改变电阻的宽度。必须使用其它的一些技术来弥补沟道停止，尤其对于高压扩散电阻。

电场覆盖金属(field plating)能提供防止形成寄生沟道和电荷扩散的广泛地保护。一块电场覆盖金属由放置在脆弱扩散区上的导电电极组成，并被偏置以抑制沟道的形成。图 4.11B 是增加了一个带有电场覆盖金属的 HSR 电阻。低压导线再次布线之后，有一个很大的电场覆盖金属置于电阻体上并连接到正的端子。连接到电阻负端的金属导线也被增加来保护延伸出在电场覆盖金属外的电阻头部。这两个电场覆盖金属必须覆盖在电阻上足够宽来考虑横向扩散、对准误差以及边缘场的出现。设两层间有 $1\mu\text{m}$ 的对准误差，最大的横向扩散距离为 $2\mu\text{m}$ ，总的覆盖必须等于 $5\mu\text{m}$ 。因为电场覆盖金属只由金属组成，它能延伸来填充所要求的面积，而不放大任一槽区电阻。

电场覆盖金属为部分 MOS 沟道特别提供栅来工作。这个栅被偏置以防止寄生电阻的栅源电压超出厚场阈值。存在导电覆盖金属防止了静态电荷的积累并因而抑制了电荷扩散。电场覆盖金属通过充当静电屏蔽也防止了硅下面的载流子浓度调制。所以它们提供了防止所有类型静电交互作用的优异保护，包括导电调制和来自导线上面的噪声耦合。

大部分的电场覆盖金属包括了沟道形成的间隙。在图 4.11B 的电阻中，在电阻上的两个电场覆盖金属之间有一间隙。两种方法可以来封锁这些间隙。一个方法是由多边形或者是法兰形的电场覆盖金属外缘组成来尽可能地把沟道拉长(图 4.12A)。平行的电场覆盖中最接近的引导横向电场把静电荷清扫出这一区域。潜在沟道越长，法兰提供的安全边缘越大。第二个方法是把电场覆盖金属间的间隙用短沟道停止连接起来(图 4.12B)。用于此目的发射区条必须有效地覆盖电场覆盖金属足够大以考虑对准问题。这一技术结合了电场覆盖金属和沟道停止来提供所有位置的装甲保护。

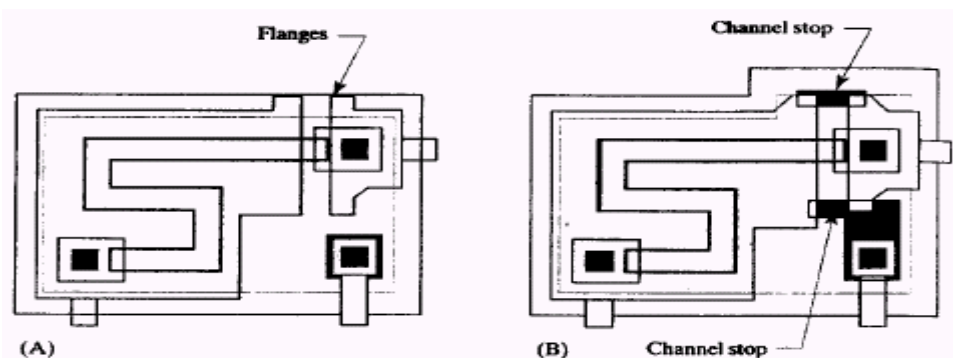


图 4.12 改进的电场覆盖金属策略：(A)卷边电场覆盖金属及(B)结合了电场覆盖金属及沟道停止。

在图 4.11 及 4.12 中的电阻展示了另一个重要的电场覆盖金属规则：偏置到最高电势的电场覆盖金属应该尽可能覆盖多的电阻。如果低压电场覆盖金属被延伸，它将提供对高压的电阻一端很少的保护。如果在槽区及电场覆盖金属之间的电压差越过了厚场阈值，那么电场覆盖金属实际上会引导形成沟道。电场覆盖

金属应从脆弱电阻的高压端延伸来包围尽可能多的电阻体区。电阻的低压端应有足够的电场覆盖金属来覆盖并保护接触头。匹配的电阻可能要求稍微不同的电场覆盖方法(节 7.2.8)。

图 4.13 显示了在制备电阻版图时常发生的有意思情况。器件两端连接到高电位和低电位。电阻的高压端需要防止电荷扩散的保护，但低电压端没有。因为电压沿电阻线性下降，电场覆盖金属在其长度的一半就已经消失了。部分电场覆盖金属将延伸到电压在厚场阈值之下的位置。在图 4.13 的情况下，尽可能多的电阻被加以覆盖电场覆盖金属，即使许多明显没有什么功能。通过这种手段可以获得大的安全区域，而几乎没有成本并且有助于确保器件在最坏的条件下工作。

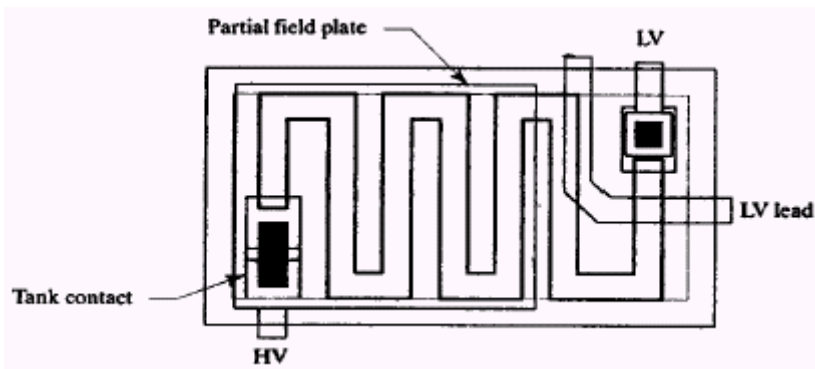


图 4.13 部分电场覆盖金属实例。

图 4.14 表明涉及多个集电区横向 PNP 晶体管选择性的电场覆盖金属的另一个例子。发射区、基区及其中一个集电区在超过厚场阈值的电压下工作，而其余的集电区则工作在低电压。发射区电场覆盖金属从暴露的基区表面发射区延伸到超过集电区内部边缘位置。电场覆盖金属覆盖集电区的数量只需等于最大对准误差减横向扩散，大约不超过 2 到 3 μm 。第二个电场覆盖金属从高电压集电区向外延伸出来封锁任何寄生沟道在集电区间或从集电区到隔离区形成。没有电场覆盖金属包围低电压集电区，因为它不要求。电场覆盖金属已经被处理为法兰形来确保沟道不会在间隙中形成。可以添加沟道停止，但这样会增加槽区尺寸并且可能是不需要的。

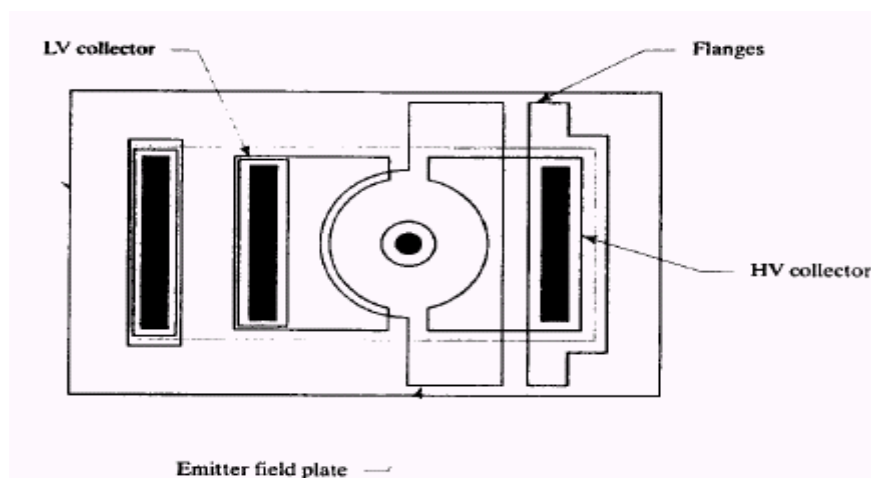


图 4.14 电场覆盖金属、分开的集电区(带一个低压的集电区和一个高电压集电区)横向 PNP。法兰抑制了电场覆盖金属间隙的形成。

总结一下，被偏置超过厚场阈值的任何 P 型区将充当寄生 PMOS 晶体管的

源。电场覆盖金属及沟道停止确保从高电压 P 型区到邻近 P 型扩散区没有寄生沟道形成。电场覆盖金属保护了器件的大部分,而沟道停止或法兰保护了在电场覆盖金属之间的间隙。标准双极工艺的正常厚场阈值应降低 25%,以便保护附加防电荷扩散的安全区域。下面几章将讨论其余电场覆盖金属及沟道停止在哪里合适的例子。

预防措施(CMOS 和 BiCMOS)

CMOS 和 BiCMOS 工艺通常使用沟道注入来提高厚场阈值在正常工作电压之上。N 阱 CMOS 工艺的额定电压通常由 NSD/P 外延击穿电压、PSD/N 阱击穿电压、或栅氧化层击穿电压来确定,而一些结构能承受更高的电压。高的 N 阱/P 衬底击穿电压允许 PMOS 晶体管在升高的背栅电压下工作。这些晶体管将正常工作,只要漏源电压不超过 PSD/N 阱击穿电压或 N 阱穿通电压。同样,扩展漏区的 NMOS 使用 N 阱作轻掺杂漏区,能承受应用到漏端全部的 N 阱/P 衬底击穿电压。

在同样方式下轻掺杂的 N 阱反转了标准双极工艺中作为轻掺杂的 N 型外延槽。任何包括有被偏置高于厚场阈值的 P 型扩散区的 N 阱区变得很脆弱。在此之前,PMOS 寄生沟道可通过电场覆盖金属、沟道停止或两者的组合来被抑制。法兰电场覆盖金属(图 4.12A)由于致密的 CMOS 版图规则尤其引人注意,因为允许在法兰之间有更窄的间隙。更强的横向电场使得邻近空间的法兰在防止静电荷的积累上特别有效。法兰电场覆盖金属是在高压 CMOS 及 BiCMOS 结构中抑制寄生 PMOS 沟道的一种选择方法。

在 CMOS 工艺中扩散电荷比在双极工艺中少,可能是由于提高了工艺的洁净度。许多 CMOS 设计者因而经常采用电场覆盖金属及沟道停止方法。这种轻率的方法不是明智地考虑,会极大的降低了现代 CMOS 设计中的工作电流特性。然而,最简单的方法是忽视扩散电荷的存在。大多数 CMOS 工艺中多晶比金属有更低的厚场阈值,因为在多晶硅下的氧化层只由厚场氧化层及 MLO 组成,而在金属下增加了一层 ILO 层。静态电荷只能在两种不同材料之间的界面积累,所以较低的厚场阈值与薄氧化层结合对扩散电荷没有重要的意义。扩散电荷变得有意义,仅当电压超过工艺的最高厚场阈值。

如果它们跨过一个包含在偏置高于多晶硅厚场阈值的 P 扩散区,多晶硅导线能形成寄生沟道。图 4.15A 显示了一个跨过阱延伸到周围的隔离区的从高电压 PMOS 晶体管引出的多晶硅栅导线脆弱结构的典型例子。阱形成了寄生 PMOS 的背栅,多晶硅充当栅,源是 PMOS 晶体管的 PSD 区,漏是 P 外延隔离区。只要背栅电势不超过金属厚场阈值,沟道能通过停止多晶硅导线短于在阱的控制边缘来干扰(图 4.15B)。沟道只能的多晶硅导线形成,所以如果导线不连接在源及漏之间的间隙时,就不能形成一个完整的沟道。只要使用的电压不超过工艺中最高厚场阈值,扩散电荷不可能发生。在多晶硅和 N 阱的控制边缘之间的最小空间将等于光刻对准误差容差,可加额外的 2 到 3 μm 来考虑边缘场。阱横向扩散不提供任何安全空间,因为超过自己的边界后它变得轻掺杂。

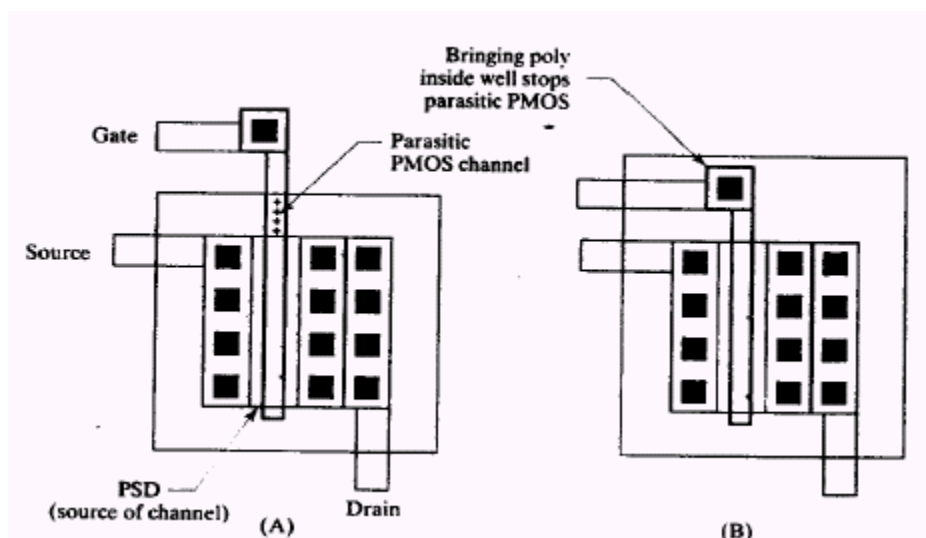


图 4.15 (A)在多晶导线下的寄生 PMOS 沟道可通过在阱里面拉伸多晶硅来消除 (B)。

如果高电压导线通过它，轻掺杂的 P 型外延也能反型(图 4.8B)。寄生 NMOS 的源及漏由两个邻近的 N 阱组成，高压导线充当栅，P 外延层充当背栅。如果在导线及邻近的阱之间电压差超过 NMOS 厚场阈值就会有沟道形成。沟道停止能通过在高压导线下 P 外延层的中心下使用 PSD 薄条或环来插入。PSD 将延伸出导线的每侧数量足够大以考虑对准误差，增加 2 到 $3\mu\text{m}$ 来考虑边缘效应。在许多情况下，N 阱之间的间隙能容纳最小宽度的 PSD 沟道停止，在邻近阱之间的间隙中没有或仅有很小的增加。薄层 PSD 环可以包围每个阱(图 4.16)。这个环不仅能停止任何可能的扩散电荷导致的漏电，也能允许在任何期望的图形中完全自由地布线。当阱布置时如果绘制有 PSD 环，否则如果它们自动地在掩模生成中产生时，那么设计者随后可以忽略 NMOS 沟道的形成。PSD 环对应于在双极工艺设计作为同样目的隔离区上基区(BOI)的方法。

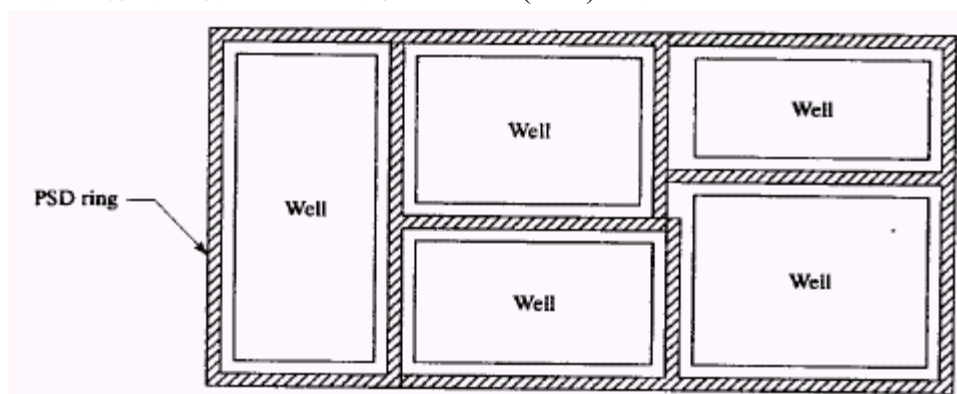


图 4.16 使用 PSD 环来保护 NMOS 沟道的版图实例

4.4 寄生

所有集成电路均包括不被要求的工作电子元件，包括在各种扩散及沉积之间反向偏置的隔离结、电阻及电容。电路不能从这些寄生元件中取得利益，而且有时对工作有负面影响。

寄生对各种不同的电子失效现象负责。例如，电容耦合能注入噪声到敏感的

电路中。将在本节讨论这类寄生关系到应保持反向偏置结的正向偏置。当这些结正向偏置时，电流开始在应保持互相之间隔离的电路节点间流过。如果这些电流很小并且电路相对不敏感，那么这些漏电流只能产生细微的参数变化。较大电流会灾难性地破坏电路的工作。失效电路可能实际上会自锁，即使在去除触发事件后仍导致继续失效。自锁(Latchup)能由于过量的功率消耗以及随之过热导致集成电路物理的损坏。即使电路不会损坏，也只能打断电源来恢复正常的工作。

两个重要的寄生机构均涉及到流过衬底的电流。在电阻性衬底上的寄生电流引起电压降时，就会发生衬底反偏。如果这些电压降足够大，它们能使隔离结正向偏置。正向偏置的结会注入电流到电路的其它节点，导致潜在灾难性问题。当正向偏置的结注入少子到隔离区、槽区或阱区中少子注入发生。一些少子在复合前会扩散几百 μm 并能轻易地跨越阻挡多子电流的反向偏置结。

4.4.1. 衬底反偏

当电流流过衬底产生的电压降为零点几伏或更多时，衬底反偏就变成一个问题。由多子组成的衬底电流不能克服反偏的隔离结，但足够反向偏置导致一个或多个隔离结成为正向偏置，并且注入少子进入有源电路。

图 4.17 显示了典型的标准双极工艺中反向偏置的衬底。衬底PNP晶体管 Q_1 直接注入集电区电流 I_C 到衬底中。之后电流横向流到衬底接触 SC_1 中。因为衬底电阻 R_S 的存在，NPN晶体管 Q_2 下的衬底电压立即上升。只需要几百毫伏的衬底反偏电压就可正向偏置饱和的共发射极NPN集电区衬底结。

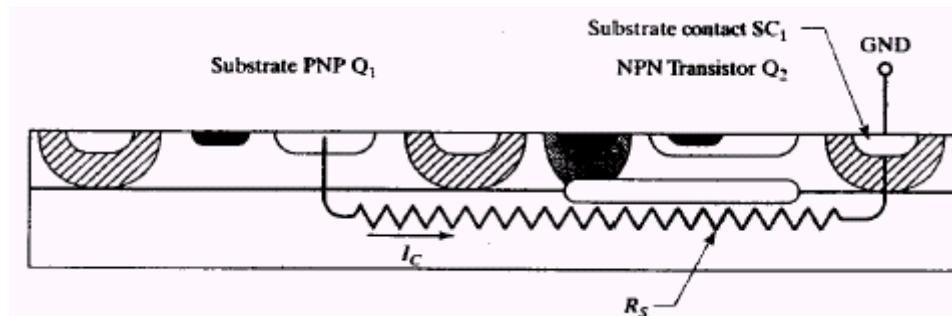


图 4.17 标准双极管芯的横截面显示了由衬底电阻 R 导致的潜在的反偏衬底作用

正向偏置 PN 结要求的电压与电流密度和温度有关。表 4.1 列出了在标准双极工艺中制备的最小面积 NPN 晶体管集电区-衬底结的典型正向偏置电压。此表对估计衬底偏置是很有用的。例如使用 $100\mu\text{A}$ 的最小电流电路可能容忍 $1\mu\text{A}$ 的漏电流。如果必须工作在 125°C ，那么表 4.1 指明衬底反偏必须不超过 0.35V 。如果同样的电路必须工作在 150°C ，那么它能容忍不超过 0.3V 的反偏。

表 4.1 标准双极中典型的集电区-衬底结最小 NPN 晶体管，温度和电流的关系

电流	25°C	85°C	125°C	150°C
10nA	0.43V	0.29V	0.19V	0.13V
100nA	0.49V	0.36V	0.27V	0.22V
$1\mu\text{A}$	0.55V	0.43V	0.35V	0.30V
$10\mu\text{A}$	0.61V	0.50V	0.43V	0.39V
$100\mu\text{A}$	0.67V	0.57V	0.51V	0.47V

图 4.18 描述了标准双极硅片的横截面，包括了单个衬底电流注入及单独衬

底接触。 R_1 模拟了通过衬底的横向电阻， R_2 模拟了衬底接触下的垂直电阻。衬底总电阻 R_s 等于横向和纵向元件的总和： $R_s = R_1 + R_2$ 。

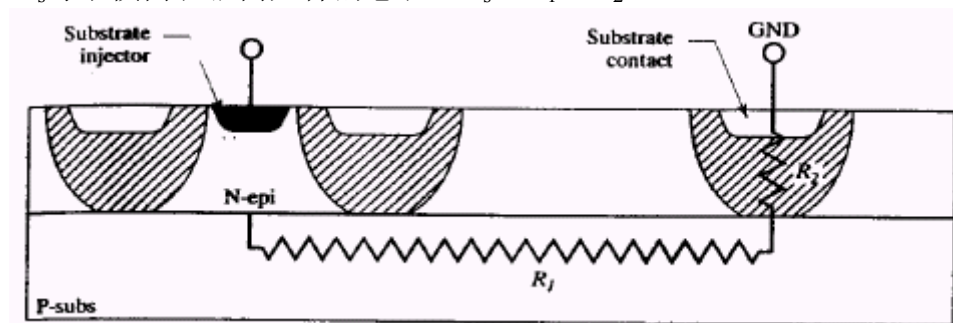


图 4.18 标准双极工艺中反向偏置的衬底简单模型。

R_1 和 R_2 的相应量级与工艺有关。标准双极使用轻掺杂的衬底和重掺杂的隔离扩散区，所以 $R_1 \gg R_2$ 。

R_1 值与各个几何因素有关，包括了注入及衬底接触以及之间距离的横截面积。 R_1 的典型值从几百到上千欧姆，而 R_2 很少超过 $10\ \Omega$ 。管芯上的隔离扩散区网络把衬底电阻的计算复杂化，因为低隔离薄层电阻（通常大约 $10\ \Omega/\square$ ）允许每一衬底接触可从大面积的隔离区中抽取电流。这种效应使计算复杂到这种程度，只有根据经验测量或复杂的计算机仿真能得到精确结果。

在使用轻掺杂衬底时要记住两点。第一，衬底电阻一直是随分离而增加。放置在注入机构邻近的衬底接触将在它到达衬底之前抽取一些电流，放置较远的接触要求电流或者流经长分支隔离区或通过高阻衬底。第二，重掺杂扩散区的衬底接触不只从衬底中抽取电流，而且从邻近的分支隔离区中抽取。这有效地放大了衬底接触的面积，甚至允许小尺寸的接触有几百平方微米的有效面积。因为这种效应分散通过管芯的最小尺寸衬底接触将比单个接触有更低的有效电阻。CMOS和BiCMOS工艺通常使用得掺杂的衬底和轻掺杂的外延层，所以 $R_1 \ll R_2$ 。 R_1 通常很小以致可以安全地忽略。 R_2 与外延层厚度及电阻率有关。典型值大约是 $600\text{k}\ \Omega/\mu\text{m}^2$ ($1\text{k}\ \Omega/\text{mil}^2$)，这个值通常可用来计算为CMOS或BiCMOS设计所要求的衬底接触面积，在下面的章节将进行解释。

即使在重掺杂的衬底中，放置在衬底注入机构邻近的接触将比放置很远的接触有较少的电阻。这种接近效应随距离迅速地下降，并且放置上百微米远的衬底接触比在管芯对面的那些不会更有效。接近效应发生因为载流子能直接流进邻近接触，并不是必须向下流入衬底、跨越和向上到远距离的接触。放置在衬底注入机构附近的接触也有助于防止局域化的高阻隔离的反偏，保护从隔离区侧壁注入邻近的槽区。

预防措施

集成电路应尽可能地向衬底注入最小电流(或不注入)，因为这样不只最小化反偏衬底，而且有助于限制噪声和衬底电势调制导致地串扰。衬底 PNP 晶体管的集电区电流直接流进衬底，所以这些器件应保守地使用，而且单个器件的导电不应超过 1mA 或 2mA 。横向 PNP 和纵向 NPN 晶体管在饱和时能注入大的衬底电流，但已开发的技术可最小化这一问题(节 8.1.4-5)。精确要求的衬底接触与衬底的本质及隔离有关：

重掺杂的衬底 在不过分的反向偏置下，划片密封的接触通常能抽取 5 到 10mA 。如果期望有更高的衬底电流，那么通常所要求的接触总面积能使用下面的公式来计算：

$$A_c = 10 \frac{\rho t_{\text{epi}} I_s}{V_d}$$

这一公式假定有均匀轻掺杂的隔离区,如N阱CMOS及BiCMOS工艺的P外延层。 A_c 代表了衬底接触要求的总面积,单位为 μm^2 , ρ 是外延层的电阻率,单位是 $\Omega \cdot \text{cm}$ 。 t_{epi} 是外延层厚度,单位为微米。 I_s 是最大的衬底电流,单位是毫安, V_d 是所允许的最大反偏电压,单位为伏特(表 4.1)。外延层厚度由于从下面衬底及重掺杂(如果很薄)接触扩散的杂质上扩散而被减小,如PSD。设有一个管芯,P外延层电阻率为 $10 \Omega \cdot \text{cm}$,并且有效的外延层厚度为 $7 \mu\text{m}$ 。如果衬底必须导电 20mA 而不超过 0.3V 的反偏,那么要求 $47,000 \mu\text{m}^2 (72\text{mil}^2)$ 衬底接触。在划片密封中抽取的衬底接触面积产生了附加的接触面积。每当在版图中存在空间时这些能被插入。对于局部反偏的防范,衬底接触将包围任何超过 1mA 的器件。

有重掺杂隔离区的轻掺杂衬底 对于防止轻掺杂衬底反偏所要求的衬底接触面积计算不存在简单的公式。当与划片密封结合时,横跨在管芯上分散的10个或20个衬底接触将可处理至少5到 10mA 。任何注入 $100 \mu\text{A}$ 或更多电流的器件应该有衬底接触在附近存在,任何注入 1mA 或更大的器件将尽可能用环形接触来包围。敏感的低电流电路应远离衬底注入的物理源至少 $250 \mu\text{m} (10\text{mil})$,因为在轻掺杂衬底上的反偏趋向在注入位置局域化。一旦完成版图,其余的衬底接触分散在版图存在的空间。分散在版图周围的大量小衬底接触能够提供比几个更大的接触更有效的作用。即使预防所有的这些问题,注入到衬底的大于 10 毫安电流的设计也会反偏。除了添加更多的衬底接触或移动敏感电路远离衬底注入机构之外,对这些问题的唯一补救是添加重掺杂衬底或使用背侧接触。

轻掺杂隔离的轻掺杂衬底 几种工艺使用同电阻性隔离区结合的轻掺杂衬底。当轻掺杂衬底上制备BiCMOS设计以节约成本时,这种情况就会出现。这些设计不能依赖划片密封抽取超过几毫安的衬底电流。分散在管芯上的大量衬底接触将有助于抽取衬底电流,但某些程度的局部衬底反偏是难以避免的。敏感电路应远离衬底注入的主源。因为衬底调制能注入真实噪音到高阻抗的电路,考虑在电阻和电容上放置阱来隔离衬底噪声耦合。敏感MOS电路也能使用NBL来隔离NMOS晶体管和衬底(节 11.2.2)。在一些情况中可能要添加重掺杂材料的条区到隔离区,从而不增加阱之间的间隙(图 4.16)。这种方法有效地转化设计为与重掺杂隔离区连接的使用轻掺杂的衬底。这种方法充分地降低了要求的衬底接触数量和面积来抽取大的衬底电流。背面接触也能提供衬底电阻很大地降低,但很难获得轻掺杂衬底的欧姆接触,除非使用背面扩散区来增加表面掺杂的浓度。

4.4.2. 少子注入

结隔离使用反偏PN结阻挡不需要的电流。由耗尽区建立的电场会排斥少子,但它们不能阻挡少子的流动。如果任何隔离结正向偏置将注入少子到隔离区。这些载流子大部分会复合,但一些最终会找到进入隔离其它器件耗尽区的途径。

作用

图 4.19 中标准双极电路中的一个横截面。假定NPN晶体管 Q_1 的集电区连接到集成电路的引脚,外部的电路会偶而经历瞬态干扰拉电流到这个引脚。如果晶体管 Q_1 截止,那么这些瞬态现象将把槽区拉低于接地,正向偏置 Q_1 的集电区衬

底结并注入少子(电子)到衬底。大多数少子复合,但有些跨越其它槽区扩散,如 T_1 。

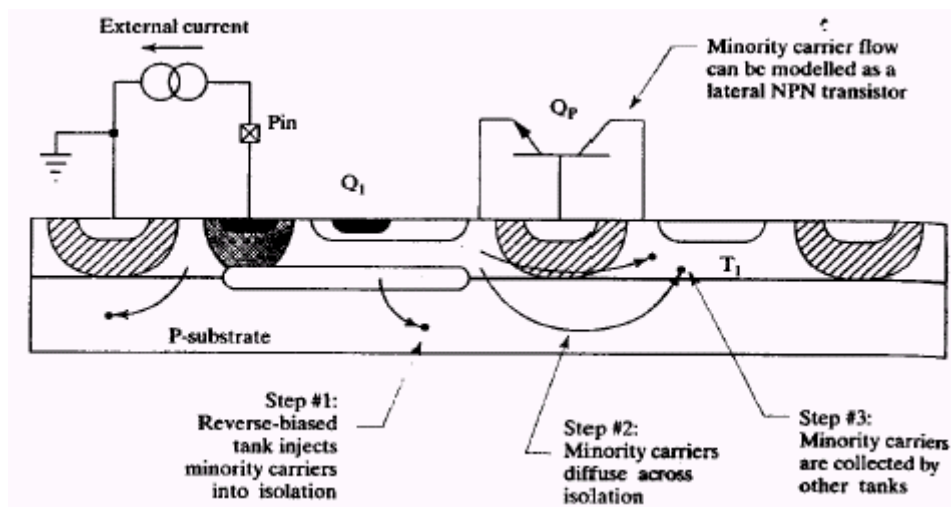


图 4.19 标准双极工艺中少子注入到衬底的例子。横向NPN晶体管 Q_p 模拟了少子跨过隔离的传输。

跨越隔离区的少子传输类似于少子在双极晶体管中的流动。拉低到地的槽区充当横向NPN晶体管 Q_p 的发射区。隔离区和衬底充当晶体管的基区,其它反向偏置的槽区充当集电区。每一个反偏槽区形成一个对应于 Q_p 独立的寄生晶体管。这些寄生横向NPN晶体管的 β 很低,因为大多数少子在传输中复合。在邻近槽区之间寄生的双极管 β 值可能是10,但在两个宽的独立槽区之间的 β 甚至不可能到达0.001,而即使这样低的增益也能导致电路故障。假定正向偏置的槽区注入少子电流10mA到衬底。如果与另一槽区有关的寄生 β 是0.01,那么这一个槽区将收集100 μ A的电流—足够破坏典型模拟电路的工作。

衬底接触自己不能停止少子注入,因为少子通过扩散而不是漂移来传输的。少子最好是通过反偏结来收集。然而,衬底接触仍提供多子实现复合。因为多子在隔离区复合,必须保持有衬底接触来防止衬底偏置。

在一些情况下,少子注入能导致电路自锁。早期的CMOS饱受这一问题困扰,被称为CMOS闩锁。图4.20A显示由一个NMOS晶体管 M_1 和一个PMOS晶体管 M_2 组成的CMOS管芯的部分横截面。除这两个期望得到的MOS晶体管外,版图还包括两个寄生的双极晶体管。横向NPN晶体管 Q_p 的发射区是 M_2 的源。横向NPN晶体管 Q_n 的发射区是 M_1 的源,它的基区是隔离区,而集电区是 M_2 的阱。横向的PNP晶体管 Q_p 的发射区是 M_2 的源,基区是N阱,集电区是隔离区。图4.20B以更常见的形式显示出两个寄生双极晶体管。在电路中 R_1 代表 M_2 的阱电阻, R_2 代表衬底电阻。这两个电阻通常确保两个双极晶体管保持关闭状态。只要保持这一状态,寄生不能传导任何电流,而且集成电路是按意愿工作。在瞬态干扰打开每一个晶体管时,流通器件的电流将也会打开另一个寄生器件。之后每一个晶体管就会提供另一个基区电流。一旦两个晶体管开始导电,它们将继续这样做,即使去除掉瞬态干扰这一初始条件。电路会自锁并保持这一状态直到关掉电源。实际上集成电路能传输很多电流以致于发生过热和损坏。即使不发生这些,自锁能导致电路毁坏并有过多的功耗。

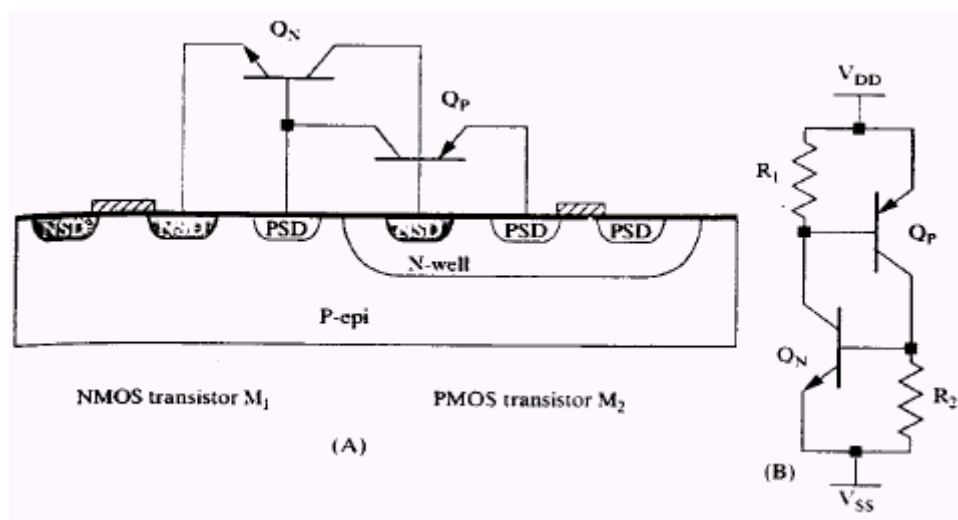


图 4.20 (A) CMOS 管芯的横截面, 显示了扩散形成两个寄生双极晶体管 Q_P 和 Q_N (B) 等效电路表明和阱电阻 R_1 及衬底电阻 R_2 在一起的晶体管

CMOS 闩锁有两种激发路径。如果 NMOS 晶体管 M_1 的源电势比接地还低, 它将注入少子(电子)到衬底, 从而打开了寄生晶体管 Q_N 。这个晶体管之后打开 Q_P 。或者 PMOS 晶体管 M_2 的源被拉到比阱高, 那么它将注入少子(空穴)到阱中, 并打开寄生晶体管 Q_P 。这个晶体管之后打开 Q_N 。如果晶体管 Q_N 和 Q_P 的 β 积超过和 (unity), 自锁就发生了。如果 β 积少于和, 那么瞬态干扰可能发生, 但电路实际上不能自锁(节 11.2.7)。CMOS 闩锁也要求四个不同的半导体区按 PNPN 的顺序排列。一个称硅控整流器(可控硅, SCR)的分立器件有同样的四层结构, CMOS 自锁有时根据由 PSD、N 阱、P 外延层和 NSD 组成的寄生 SCR 来描述。这种观点类似于上面讨论的晶体管方法, 因为 SCR 作为耦合晶体管对以同样的方式工作。

停止 CMOS 自锁的明显方法是降低每个寄生晶体管的 β 。如果这些 β 积低于和 (unity), 那么自锁不能发生。这通常通过增加版图的间隙来获得, 反过来增加了寄生横向晶体管中性基区的宽度。另一方法, 在一个或两个寄生晶体管的中性基区中可以增加掺杂的数量。这两种方法增加了一个或两个晶体管的根摩尔数, 降低了 β 的积。

尽管许多 CMOS 工艺宣称对自锁免疫, 这些宣称只在很窄的意义上是真实。PNPN 结构是这种工艺中 CMOS 晶体管固有的, 缺少足够的增益来建立再生反馈, 但少子注入仍会发生。如果在电路中存在正反馈, 收集的载流子仍会导致电路损坏, 这些损坏能导致自锁的发生。这种观察的重要性常常在估计之下。经历了不期望少子注入的任何集成电路都能潜在地发生自锁。即使不这样工作, 它仍可能发生故障。不只注入到衬底的电子会引起潜在的威胁, 没有注意而注入到阱或槽区的空穴也会这样。

预防措施(衬底注入)

实际上, 有四种办法来防止少子注入: (1) 去除导致问题的正向偏置结, (2) 增加元件之间的空间, (3) 增加掺杂浓度, (4) 提供可替换的集电区去除不需要的少子。所有这些技术提供许多优点, 组合起来能修正大多数少子注入的问题。

理论上最简单的解决方案是去除注入少子的正向偏置的结。这个目标通常很难完成。在一个标准双极工艺中, 槽区必须不低于衬底超过 0.3V, 否则就将注入少子到衬底。在 N 阱 CMOS 工艺中, 在外延层上的阱和 NSD 区不会比衬底电势低。如果在引脚上的电压迅速变化, 寄生电感能导致瞬态把引脚拉高于电源或

低于接地。节点变化越快，要求导致这一瞬态的寄生电感越小。现代的开关速度已经如此快，引脚和压焊线的电感均可单独导致令人讨厌的瞬态现象。衬底注入变得很困难，如果不是可能的就去除它。

如果潜在的注入机构独立于敏感的电路，注入到衬底的少子会导致较少的问题。在大多数的设计中，只有一些器件连接到引脚上。如果有一些深入的考虑，这些器件要放置在远离敏感电路的位置。在许多情况中，版图将自然地喜欢这种分离。例如功率晶体管在瞬态中注入少子，因为这些晶体管形成了部分输出电路，它们将放置在远离敏感输出电路中来减少电子及热反馈。这种同样的安排也最小化对于少子注入电路的脆弱性。

添加到管芯隔离区的其余杂质将降低寄生横向双极管的增益。通常CMOS和BiCMOS工艺因这个原因使用P⁺衬底。所有其它因素是相等的，使用重掺杂衬底的工艺比使用轻掺杂的衬底的工艺将提供对电子干扰的更大免疫。然而，掺杂衬底自己不能防止少子横向移动通过独立于邻近槽区或阱区的隔离区。为获得重掺杂衬底的全部优点，工艺必须使用重掺杂的隔离，或设计者必须添加合适的保护环。

隔离掺杂也能通过添加deep-P⁺扩散区来增加。大多数CMOS工艺不包括任何适当扩散区。一些BiCMOS工艺包括制备某些部件(DMOS晶体管)中的一个——通常作为工艺延伸的部分。标准双极工艺有时提供deep-P⁺工艺扩展来制备高电流横向PNP晶体管。如果存在一个合适的扩散区，它能放置在管芯的隔离区来帮助增加隔离的掺杂。这种技术能帮助偏移上下隔离系统中部分PBL的很轻掺杂，并能最小化在邻近槽区或阱之间的横向少子导电。

在注入位置附近反偏结的少子收集不成比例。载流子不仅有很少的距离来传输达到附近的结，而且更近的结也封锁载流子到远距离地流动。设计者利用这种阴影优势通过在注入及脆弱的扩散位置之间放置反向偏置的结，从而建立经过考虑的对于少子的流动势垒。在这一方式中使用的反偏结被称为少子保护环。图4.21显示了在标准工艺中这样一个环的典型版图。连接到引脚的槽区T₁和T₂可能经受电压瞬变。它们被第三个槽T₃包围，收集被T₁和T₂槽注入的大部分少子。槽区T₁和T₂连接到引脚上，所以放置它们在管芯的一侧甚至在角落中是十分自然的(也在图4.21显示)。这不只能最小化互联线的长度，而且能在两条边处去除保护环的需要。

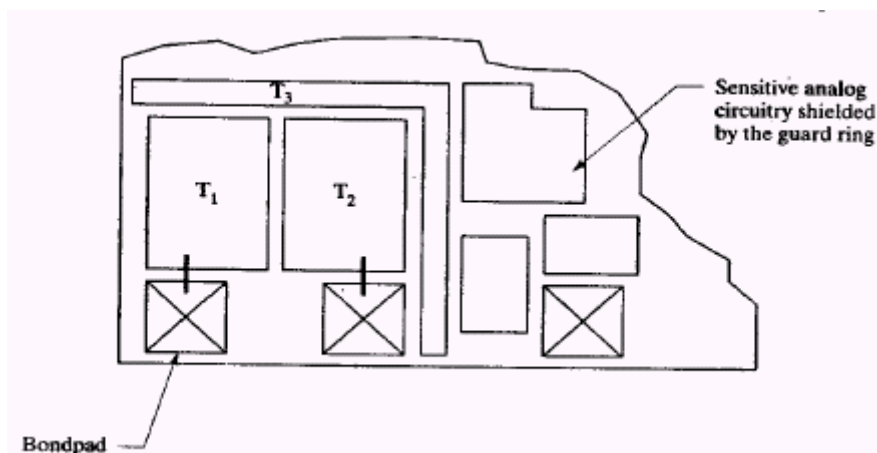


图 4.21 在一标准双极工艺中实现收集少子的保护环(T₃)的电子采样。

设计有效保护环的关键是使它们深、宽以及低阻。保护环越深，能收集通过它的少子部分就越大。N 阱比 NSD 可做更有效的电子收集保护环，外延槽区比

发射扩散区可做更好的电子收集保护槽。如果保护环能被连接产生很大的反偏电压,那么包围它的耗尽区将变宽并且收集表面将被迫更深入到硅中。这样,连到正电势的电子收集保护环比连到衬底电势的更有效用。因为扩散的少子随机移动,实际上一些被保护环耗尽区的底部所收集。更宽的保护环将因此比窄扩散区收集更多的少子,而且窄扩散区不会比如同宽扩散区渗透的一样深,因为掺杂被横向的分布所冲淡。比最小尺寸宽两到三倍的扩散区将包含足够的掺杂以获得可能最大的结深。低阻也有助于提高保护环的效率,特别是如果不能被强烈地反偏。收集的载子能正向偏置高阻保护环并导致再次注入少子。保护环的垂直电阻越小,在饱和以及再注入前所收集的电流就越大。

图 4.22 表明设计两个少子保护环来收集注入到衬底电子的横截面。图 4.22A 显示了标准双极的衬底保护环。这种保护环包括了所有四种可用的N型材料: N外延, deep-N⁺, NBL及发射区。NBL有助于获得最大可能的结深,而deep-N⁺和发射区降低了垂直电阻。结构越宽,收集的少子就越有效。大多数设计者在效率和面积之间折衷,通过制备不超过最小宽度 2 倍的deep-N⁺条以及相应地间隔其它层。如果可能的话,保护环将连到管芯上的最高电压处。保护环仍将在功能上连接到衬底电势,但它可能饱和,除非保护环的所有部分通过直接金属熔化连到衬底端子。实际上在一层金属工艺中这是不可能的,因为必须在金属化中被留下间隙以使得通过引线。单层金属保护环应连接到正电源处,并且将包含尽可能少的间隙。

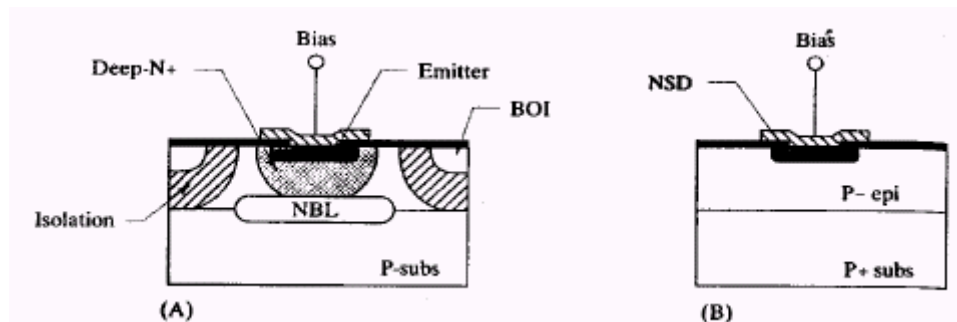


图 4.22 两个代表性的收集电子的保护环的横截面: (A)标准双极(B) CMOS。

BiCMOS版图能生成类似图 4.22A的电子收集保护环,尽管在这种情况下N阱取代了N外延槽。在CMOS工艺中电子收集环将更加困难。N阱由于缺乏深N⁺和NBL将变得阻抗很大,大多数CMOS器件工作在较低的电压上。图 4.22B显示了另一种CMOS少子保护环。NSD有较低的电阻,但它太浅不能捕捉在衬底中多数的电子。NSD的条越宽,保护环就越有效。推荐至少有 8 到 10 μm 的宽度,虽然更窄的保护环确实有很多好处。如果可能,NSD保护环应该连接到电源引脚上。在NSD外延结上反偏电压驱动耗尽区更深地进入到外延层并提高保护环的表面深度。在低压工艺中,强反偏NSD保护环通常由于强电离产生次要的载流子。这一问题可通过连接低压NSD保护环到地而不是到电源来解决。

假定它们被用于同一重掺杂的衬底的连接中在图 4.22A中保护环能降低衬底注入到 10~100 分之一。轻掺杂外延层及重掺杂衬底之间的P/P⁺界面抑制了少子(节 8.1.5),限制它们在相对较薄的外延层中保持下来。这样就极大地提高了保护环的收集效率。简单地改进图 4.22A中的电子收集保护环能进一步使它们更为稀薄。没有直接连接保护环到电源电压上,它被连接到衬底以使多子(电子)流经保护环下的衬底(图 4.23)。这一类型的保护环被用于保护发生在环一侧(此处为右侧)的少子。在保护环中心的deep-N⁺槽收集了大多数的少子。所得到的少子流出槽

区并进入到附近的金属极板中。在结构左侧的基区/隔离扩散区中再以多子形式注入电流到衬底中。因为最近的衬底接触位于结构的另一侧，多子流回到保护环下。电流局部地反偏衬底并创建了与少子相反的电场。少子被迫向上且朝向保护环迁移，在此处它们被收集，否则保持在衬底中直到结合。发明者宣称这种结构中的稀薄因子超过一百万。而这种程度的稀薄因子在每种工艺中都不能得到。保护环将提供比在图 4.22 中显示了更多的稀薄，特别在更高的电流中。

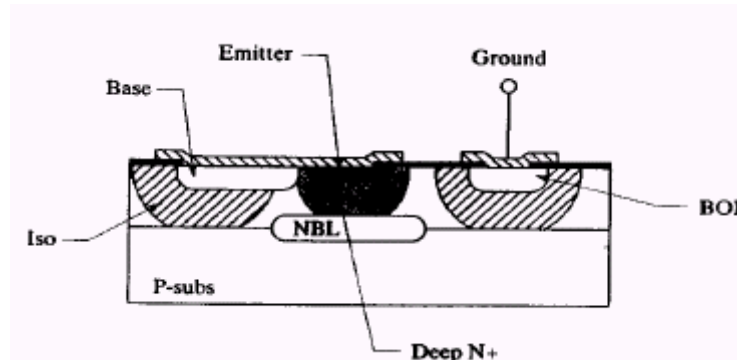


图 4.23 改进的用于收集注入到衬底电子的少子保护环横截面。

图 4.23 中改进的保护环还有几个缺陷。它只提供了在一个方向中流动的增强型稀薄——这种情况下是从左到右。衬底接触不能放置在面对注入的载流子保护环的附近。这种结构也依赖于衬底的特意反偏，它可能潜在地使邻近的结正偏。在这种类型保护环背后的理论也可应用于在图 4.22 中显示的普通保护环设计。在所有情况中，更好的是放置电子收集保护环到注入机构邻近，以及放置衬底接触在保护环中。在保护环下流动多子衬底电流产生了一个相对少子流动的电场，因而增强了保护环的性能。

少子保护环也能防止空穴从槽区注入到衬底并反偏它。这种情况在双极晶体管中无论何时都会发生，不论是 NPN 还是 PNP(节 8.1.4--5)。功率晶体管能轻易地注入 10 甚至上百毫安电流到衬底中。重掺杂层如 NBL 能降低从 P 型区通过 N 阱或 N 外延层槽区到达衬底少子注入。NBL 也有助于最小化槽区或阱电阻，因此使它更难形成要求激发的 CMOS 自锁。因为额外的光刻步骤成本和相应制备埋层的困难，CMOS 工艺通常不使用 NBL。标准双极和模拟 BiCMOS 工艺通常使用 NBL 降低 NPN 集电区电阻。如果存在 NBL，它应该添加到所有可以容纳它的槽区或阱区中，以最小化衬底注入并改进自锁免疫能力。

图 4.24 表明了标准双极工艺中制备的收集空穴的保护环。作为注入到衬底中空穴的第一级防御，槽区用 NBL 处理并用 deep-N⁺ 作环形处理。任何试图到达隔离区的空穴必须通过一个或多个重掺杂的区域。这些区域中很大数量的电子增强了复合，并防止大多数的空穴成功跨越。更重要的问题是，N⁺/N 边界展示了由多子横向扩散导致地渐变内建电势，有助于限定空穴在槽区中直到复合或被收集(节 8.1.5)。

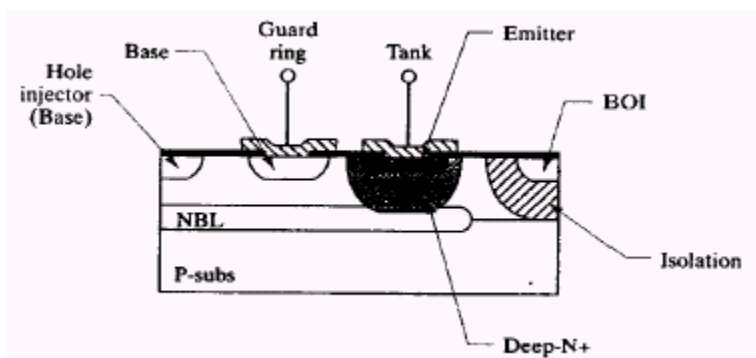


图 4.24 收集注入到槽区空穴的少子保护环横截面。

图 4.24 中的保护环包括了仅放在 deep N^+ 区中的基区环。这个环通常接地，但它将保持合理的有效性，即使被连接到槽区端子上。任何碰撞到包围基区环耗尽区中的空穴将被电场吸收。空穴在基区扩散区中变为多子并且能通过接触去除。只要槽区包含了 NBL，基区环收集了几乎所有的空穴。即使在槽区的外边没有 deep- N^+ 环，基区环将收集至少 90% 的空穴。这类保护环若没有 NBL 在很大程度上也就没有作用。

如果一个 PSD 区高于阱区电势，CMOS 器件会经历空穴注入到阱中，就像引脚连到一个高于电源的 PMOS 源或漏区。有效的空穴收集环不能在一个纯 CMOS 工艺中制备，因为缺少 NBL。阱的掺杂梯度导致空穴向下漂移到下面的衬底，使得放置在阱边的 PSD 保护环无效。因此 CMOS 工艺必须使用低电阻衬底接触来抽取任何注入到衬底中的空穴电流。

BiCMOS 工艺能制备类似图 4.24 中的空穴收集环。在 BiCMOS 工艺中的这些环与标准双极相比不是十分有效，因为 BiCMOS 阱的梯度轮廓与 NBL 提高的势垒相反。这个问题被要求避免自动掺杂 P 外延层的 BiCMOS NBL 区的轻掺杂所加剧。尽管存在这些问题，使用结合 NBL 及 deep N^+ 的基区空穴收集环可取得超过 90% 的效率。节 13.2 讨论了几个其余类型的空穴保护环及 BiCMOS 工艺中制备空穴保护环所带来的困难。

预防措施(交叉注入)

由注入槽区或阱中的少子导致的电路混乱通常可通过在自己的槽或阱中放置潜在的少子发射区来去除。源连到外引脚的 PMOS 晶体管通常应占据自己的阱。同样连到引脚的任何基区电阻、HSR 电阻或横向 PNP 集电区最好放置在它自己的槽区中。要求制备独立槽区或阱区的少量额外空间将值得通过去除寄生而得到回报。另一方面，如果连到普通引脚的几个器件，那么这些能占据一个普通的槽区或阱区。

前面讨论过的空穴收集环已经被设计用来最小化注入到衬底的空穴。另一类能防止被一个器件注入空穴的少子保护环可能妨碍在同一槽区或阱中其它器件的工作，这一问题称为交叉注入。考虑有两个横向的 PNP 晶体管占据同一个槽区，如果其中一个晶体管饱和，它发射的一部分载流子将被邻近晶体管收集。这导致增加的集电区电流可能扰乱电路的工作，特别是如果器件被用于匹配另一个器件。能通过放置每个晶体管在它自己的槽区中来防止交叉注入，但这样浪费了面积，因为需要同隔离扩散区相对应的大空间。更致密的解决方案是使用一种称为 P-bar 少子保护环(图 4.25)。

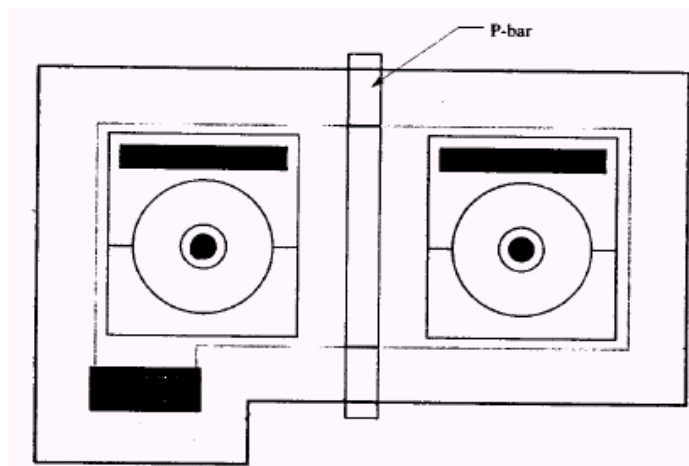


图 4.25 用于防止在两个横向 PNP 中进行交叉注入的例子。

一个 P-bar 由在两个晶体管之间的最小宽度的条状基区扩散区组成。P-bar 的每一端延伸出隔离区足够长度来保证电子接触。这种安排保证了 P-bar 同隔离区的电子连接而不要求接触。现在假定 P-bar 左侧的横向 PNP 饱和并且开始注入空穴到槽区中。为使这些空穴到达横向 PNP 晶体管的右侧，它们必须首先通过 P-bar 的下面。形成 P-bar 的基区扩散区相当深地到达了外延层并且没有对载流子留下通过它的空间。从左侧到右侧的大多数传输空穴将被 P-bar 收集并传输到地。这种结构就充当了一个特定类型的少子保护环。在 P-bar 下面存在的 NBL 对于通过右侧的晶体管到在槽区左下角的槽区接触基区电流保证了低阻抗。因而这种结构的左侧槽区接触可满足两个晶体管。

尽管 P-bar 的收集效率只能通过经验测量来决定，要按顺序来做几个观察。当槽区的偏压增加时，包围 bar 的耗尽区变深并逐渐地夹断它下面的 N 型外延层。因此工作在槽区衬底之间高电势的器件比工作在衬底电势中器件从 P-bar 获得了更程度的隔离。更宽的 P-bar 也增加了收集效率，部分是因为槽区的夹断比例变宽，部分是由于更宽的基区扩散深入到外延层中。因为下面的 NBL 向上扩散和 P-bar 下面的耗尽区的形成，即使最小宽度的 P-bar 提供了对少子交叉隔离高度注入。

P-bar 有许多的应用。双极电路通常包含了带有公共基区连接的横向 PNP 晶体管组成的电流镜。这些晶体管通常占据同一槽区，但如果一个晶体管饱和那么邻近晶体管提供的电流会增加。在饱和晶体管和邻近器件之间的 P-bars 会防止没有过度地扩大的这种槽区效应。另一应用是由或者驱动一个横向或一个衬底的 PNP 晶体管的 NPN 组成，在其中 NPN 集电区连接到 PNP 的基区。从 PNP 到 NPN 的少子导电能初始化由这种结构内部 SCR 激发的正反馈。在两个晶体管之间放置的 P-bar 能抑制自锁，尽管这没有确保，除非 bar 的收集效应超过两个晶体管 β 积的倒数。

P-bars 也可以在 CMOS 工艺中使用，在那里它们通常由 P 有源区组成。这种 P-bar 比在双极中有更低的收集效率，因为 P 有源区(Moat)的扩散较浅及缺少 NBL。埋层的缺少极大地增加了在 P-bar 下的阱区电阻，所以谨慎地描述在 bar 两侧包括的阱接触。这种结构能有助于增加电路自锁的免疫力而不要求独立阱。如果在槽区的 PMOS 晶体管有源区或漏区连接到外面的端子，那么一个瞬变将潜在地相对阱正偏这个 P 有源区。这样形成的少子注入能干扰邻近的晶体管并甚至能导致自锁。几个最小宽度的 P 有源区 P-bar 的布置方法能提供对于这种交叉

注入的很可观保护，而不像独立的阱那样占用更多的面积。

另一类型的少子保护环称为N-bar，也能防止少子跨越注入区。N-bar由放置在同一槽区的两个器件的deep-N⁺条组成(图 4.26)。N-bar通常作为在它的周围的器件的槽区接触，因为包围deep-N⁺的空间很大，足够允许两个发射扩散区和一个接触的空间存在。包围N-bar的掺杂梯度排斥少子，并且克服梯度变化大部分的载流子在它们通过deep-N⁺之前就在deep-N⁺中逐渐复合。不幸的是，通常N-bar阻塞了槽区两侧的P型隔离区，以避免形成会在相对较低的电压下击穿的N⁺/P⁺结。这些间隙允许少子通过N-bar，所以通常一块N-bar比一块P-bar有较低的收集效率。尽管如此，中等效率的少子保护环和高效收集区接触的组合有时在高电流横向PNP电流镜和模拟电路中有所应用。

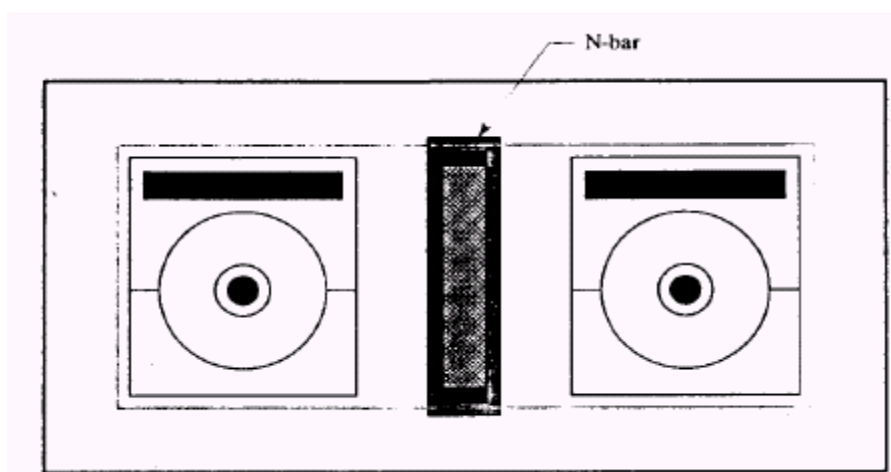


图 4.26 在两个横向 PNP 晶体管之间同时提供槽区接触及最小化交叉注入有 N 型条的例子。

总结

本章讨论了集成电路中通常的失效机构。表 4.2 总结了这些失效机构，包括了典型的特征和修正的办法。即使粗略地查看列表也能发现这门学科的本质。一些机构主要是电气方面的问题，而另一些则是化学和电化学工艺方面的问题。一些机构要求器件物理的知识来克服，而另一些要求工艺和封装技术的知识。只有通过积累众多领域的知识才能有希望设计稳定功能长寿命的集成电路。

练习

参考附录 C 中的版图规则及工艺规格。

- 4.1. 一个铜掺杂的铝合金能安全地工作在电流密度为 $5 \times 10^5 \text{ A/cm}^2$ 。如果金属化层的厚度等于 $8 \text{ k}\text{\AA}$ ，但经过氧化台阶时被减薄 50%，那么跨越氧化层台阶的一条 $10 \mu\text{m}$ 宽导线能携带多少电流？
- 4.2. 设计一个标准双极工艺单层金属的划片密封结构。画出这种结构的横截面并解释每一部件的目的。
- 4.3. 设计一 $15 \text{ k}\Omega$ ， $8 \mu\text{m}$ 宽的 HSR 电阻。尽可能对电阻使用电场覆盖金属，包括所需要的法兰边缘。电场覆盖金属应悬挂在 HSR 之上 $6 \mu\text{m}$ ，至少在基区

上为 $8\mu\text{m}$ 。

- 4.4. 对练习 4.3 中的版图进行修改, 包括制备发射扩散区的沟道停止。假定沟道停止必须覆盖电场覆盖金属 $4\mu\text{m}$ 。
- 4.5. 使用圆形发射区几何图形制备一个最小尺寸的标准双极的横向 PNP。全部的电场覆盖金属包括了发射区和集电区, 为基区金属化留出了空间。假定发射区的电场覆盖金属必须覆盖集电区 $2\mu\text{m}$, 集电区的电场覆盖金属必须悬挂在集电区上 $8\mu\text{m}$ 。
- 4.6. 计算从管芯中抽取 25mA 电流的衬底接触的面积, 使用 $8\mu\text{m}$ 厚, $10\Omega\cdot\text{cm}$ P 型外延层在 $0.01\Omega\text{cm}$ 的 P 型衬底上面。假定最大允许的偏置电压为 0.3V 。
- 4.7. 设计一个标准双极工艺 NPN 晶体管的版图, 发射区为 $20\mu\text{m}\times 40\mu\text{m}$ 。安排晶体管来最小化发射区及集电区接触的距离。晶体管应包括在集电区中的 deep-N⁺来减少集电区电阻。在这一晶体管周围放置一个电子收集保护环, 横截面如图 4.22。
- 4.8. 设计一个 2000/5 PMOS 晶体管的版图。把晶体管分拆成有足够数量叉指, 来获得粗糙地方形开口。制备一个包围 PMOS 晶体管的类似于图 4.24 的空穴收集保护环。确保 NBL 覆盖 deep-N⁺扩散区至少 $4\mu\text{m}$, 以便在交叉点上提供足够的密封。
- 4.9. 设计一个分开两个最小尺寸标准双极横向 PNP 晶体管的 P-bar 例子。P-bar 应延伸进隔离区至少 $4\mu\text{m}$, 以保证有足够的电子连接。
- 4.10. 已经解剖几个失效的器件进行显微观察。建议至少一种失效机构同下面的观察一致:
 - a. 从已经熔化的压焊点开口的金属迹线处观察。
 - b. 覆盖在焊盘上的绿色沉积物。
 - c. 最小尺寸的 NMOS 栅氧层在某处破裂, 把多晶硅栅同下面的外延层短接。
 - d. 薄的黑色丝状物显示横跨在大 NPN 晶体管的基区上。晶体管的基区-集电区结显示是短接的。
- 4.11. 一个新的高电压、低电流运算放大器只完成了内部测试。在偏压下样品在 150°C 工作了 1000 小时。参数化测试发现放大器的输入偏移电压漂移了几毫伏, 而电源电流增加了 20%。对于这些特征有什么失效机构负责, 设计者怎样能处理好它?

表 4.2 失效机构总结

失效机构	特征	修正
静电泄放(ESD)	栅氧化层立即或在一段延时之后破裂, 结短接或漏电。	增加ESD 保护器件, 不要在薄发射区氧化层上布导线。
电迁移	在长期工作后电路开路或短路, 通常在高温下。	使用铜掺杂的铝, 使用难熔势垒金属, 使用足够宽度的导线, 使用足够的键合线。
天线效应	连接到大导体的小栅氧化层遭受延迟失效。	降低导体面积和栅氧化层面积比, 增加二极管。
干法腐蚀	开路失效, 潮湿加速失效。	使用氮化层 PO, 最小化PO 开口。
可动离子	在高温偏置工作下阈值	使用磷硅玻璃, 使用多晶

	变化, 在未偏置下烘干后缓和。	硅栅 MOS, 最小化 PO 开口, 使用足够的划线密封。
热载流子(在 MOS 中)	在高温偏置工作下阈值变化, 在未偏置下烘干后缓和。	限制漏源电压, 使用 LDD 结构, 使用长沟器件。
齐纳变化	击穿电压漂移, 在未偏置下烘干后缓和。	如果可能, 使用埋层齐纳。
寄生沟道和电荷扩散	在高电压下是漏电流。如果在高温偏置条件下工作后显示, 并在高温烘烤后缓和, 那么就是电荷扩散。	使用(111)硅, 添加沟道停止注入, 增加隔离区上基区(BOI), 添加沟道停止, 使用电极覆盖金属。
少子注入到衬底	自锁及发生在特别偏置条件下的参数变化。	使用 P+衬底, 最大化衬底接触, 分离敏感电路, 添加 NBL 到共享阱中, 在隔离区中使用 deep-P+, 添加保护环。
衬底反偏	自锁及发生在特别偏置条件下的参数变化。	最大化衬底接触, 放置接触接近注入区。
少子交叉注入	自锁, 合并器件之间的不匹配	使用 P bar 或 N bar, 在独立的槽区或阱区中放置器件。

注: **黑色斜体**是版图和电路设计者可以控制的部分, 其余部分是工艺工程师可以控制的部分。